

*ПРИЛОЖЕНИЕ 2
к рабочей программе*

**МИНИСТЕРСТВО ОБЩЕГО И ПРОФЕССИОНАЛЬНОГО
ОБРАЗОВАНИЯ РОСТОВСКОЙ ОБЛАСТИ
ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ПРОФЕССИОНАЛЬНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ РОСТОВСКОЙ ОБЛАСТИ
«РОСТОВСКИЙ-НА-ДОНУ КОЛЛЕДЖ РАДИОЭЛЕКТРОНИКИ,
ИНФОРМАЦИОННЫХ И ПРОМЫШЛЕННЫХ ТЕХНОЛОГИЙ»
(ГБПОУ РО «РКРИПТ»)**

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ВЫПОЛНЕНИЮ
ПРАКТИЧЕСКИХ РАБОТ**

по дисциплине

ОП.02 ИНФОРМАТИКА И ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

для специальности

11.02.17 Разработка электронных устройств и систем

Квалификация выпускника:
техник

Составитель:
Самойлова Т.А.,
преподаватель высш. квалиф. кат.
ГБПОУ РО «РКРИПТ»

2024, г. Ростов-на-Дону

СОДЕРЖАНИЕ

Введение	3
1. Практическая работа 1.	5
2. Практическая работа 2.	11
3. Практическая работа 3.	13
4. Практическая работа 4	24
5. Практическая работа 5	31
6. Практическая работа 6	35
7. Лабораторная работа 1.	40
7. Лабораторная работа 2.	44
8. Лабораторная работа 3.	52
9. Лабораторная работа 4.	58
10. Лабораторная работа 5	60
11. Лабораторная работа 6	63
Список литературы	68

Введение

Лабораторные и практические занятия по учебной дисциплине ОП.02 «Информатика и вычислительная техника» составляют важную часть теоретической и профессиональной практической подготовки и направлены на подтверждение теоретических положений и формирование практических умений и практического опыта. Обучающимися осваиваются следующие умения

- представлять числа в различных системах и форматах записи;
- производить синтез и анализ цифровых схем;
- проводить исследование типовых схем цифровой электроники;
- использовать универсальные базисы для построения схем на логических элементах
- читать схемы различных устройств цифровой электронной техники, их отдельных узлов и блоков
- выполнять упрощение логических схем

Лабораторные и практические занятия относятся к основным видам учебных занятий.

Выполнение студентами лабораторных и практических работ направлено:

- на обобщение, систематизацию, углубление, закрепление полученных теоретических знаний по конкретным темам дисциплин;
- формирование умений применять полученные знания на практике;
- реализацию единства интеллектуальной и практической деятельности;
- развитие интеллектуальных умений (аналитических, проектировочных, конструкторских и др.) у будущих специалистов;
- выработку при решении поставленных задач таких профессионально значимых качеств, как самостоятельность, ответственность, точность, творческая инициатива.

Ведущей дидактической целью лабораторных занятий является экспериментальное подтверждение и проверка существенных теоретических положений.

Ведущей дидактической целью практических занятий является формирование практических умений – профессиональных или учебных, необходимых в последующей учебной деятельности.

Содержанием лабораторных работ по дисциплине наблюдение развития явлений, и процессов. В ходе выполнения заданий у студентов формируются практические умения и навыки обращения с приборами, установками, лабораторным оборудованием, аппаратурой, которые могут составлять часть профессиональной практической подготовки, а также исследовательские умения (наблюдать, сравнивать, анализировать, устанавливать зависимости, делать выводы и обобщения, самостоятельно вести исследование, оформлять результаты).

Содержанием практических занятий по дисциплине являются решение разного задач, в том числе профессиональных выполнение вычислений, расчетов.

Содержание практических, лабораторных занятий охватывают весь круг профессиональных умений, на подготовку к которым ориентирована данная дисциплина, которые в дальнейшем закрепляются и совершенствуются в процессе курсового проектирования, практикой по профилю специальности и преддипломной практикой.

Лабораторные занятия проводятся в специально оборудованных учебных лабораториях. Практическое занятие должно проводиться в учебных кабинетах или специально оборудованных помещениях (площадках). Продолжительность занятия – не менее 2-х академических часов. Необходимыми структурными элементами занятия, помимо самостоятельной деятельности студентов, являются инструктаж, проводимый преподавателем, а также организация обсуждения итогов выполнения работы.

Все студенты, связанные с работой в лаборатории, обязаны пройти инструктаж по безопасному выполнению работ, о чем расписываются в журнале инструктажа по технике безопасности.

Выполнению лабораторных и практических работ предшествует проверка знаний студентов, их теоретической готовности к выполнению задания.

Лабораторные и практические работы студенты выполняют под руководством преподавателя. При проведении лабораторных и практических занятий учебная группа может делиться на подгруппы численностью не менее 8 человек. Объем заданий для лабораторных и практических занятий спланирован с расчетом, чтобы за отведенное время они могли быть выполнены качественно большинством студентов.

Формы организации работы обучающихся на лабораторных работах и практических занятиях: фронтальная, групповая и индивидуальная.

При фронтальной форме организации занятий все студенты выполняют одновременно одну и ту же работу. При групповой форме организации занятий одна и та же работа выполняется бригадами по 2 - 5 человек. При индивидуальной форме организации занятий каждый студент выполняет индивидуальное задание.

Отчет по практической и лабораторной работе представляется в печатном виде в формате, предусмотренном шаблоном отчета по практической, лабораторной работе. Защита отчета проходит в форме доклада обучающегося по выполненной работе и ответов на вопросы преподавателя.

Оценки за выполнение лабораторных работ и практических занятий могут выставляться по пятибалльной системе или в форме зачета и учитываться как показатели текущей успеваемости студентов.

Критерии оценки лабораторных, практических работ.

Оценка «5» ставится, если учащийся выполняет работу в полном объеме с соблюдением необходимой последовательности проведения опытов и измерений; самостоятельно и рационально монтирует необходимое оборудование; все опыты проводит в условиях и режимах, обеспечивающих получение правильных результатов и выводов; соблюдает требования правил безопасности труда; в отчете правильно и аккуратно выполняет все записи, таблицы, рисунки, чертежи, графики, вычисления; правильно выполняет анализ полученных результатов.

Оценка «4» ставится, если выполнены требования к оценке «5», но было допущено два - три недочета, не более одной негрубой ошибки и одного недочёта.

Оценка «3» ставится, если работа выполнена в ходе проведения опыта и измерений были допущены грубые ошибки.

Оценка «2» ставится, если работа выполнена не полностью и объем выполненной части работы не позволяет сделать правильных выводов: если опыты, измерения, вычисления, наблюдения производились неправильно.

ПРАКТИЧЕСКАЯ РАБОТА №1

ПЕРЕВОД ЧИСЕЛ ИЗ ОДНОЙ СИСТЕМЫ СЧИСЛЕНИЯ В ДРУГУЮ.

1. Цель работы: Получить практическое представление о способах представления чисел в цифровых системах о биполярных кодах положительных и отрицательных чисел

Краткие теоретические сведения

ПОНЯТИЕ О СИСТЕМАХ СЧИСЛЕНИЯ

Системы счисления - это способ представления чисел и соответствующие ему правила действия над числами. Существует множество систем счисления (СС), но применительно к цифровым системам можно выделить следующие: двоичная, восьмеричная, десятичная и шестнадцатеричная, которые относятся к позиционным СС.

Позиционной системой счисления называется такая система, в которой количественное значение каждой цифры зависит от ее позиции (места) в числе. Примером можно привести обычную десятичную систему счисления. Например, число 909 содержит цифру 9 означающую девять сотен и цифру 9 в правой позиции означающую девять единиц.

Основанием системы счисления (p) называется количество знаков или символов, используемых для изображения числа в данной системе счисления.

Количественное значение символа определяется **номером разряда (k), т.е. местом расположения этого символа в числовом ряду (нумерация справа налево, начиная с нуля).**

В зависимости от **номера разряда** они имеют свои **весовые коэффициенты**.

В общем случае *весовой коэффициент есть p^{n-1} ,*

где n – порядковый номер разряда

p – основание системы счисления

Для десятичных чисел весовые **коэффициенты** это $10^0, 10^1, 10^2$ и т. д.

ДЕСЯТИЧНАЯ СИСТЕМА СЧИСЛЕНИЯ имеет основание 10 и для записи числа в этой системе требуется 10 цифр от 0 до 9. В качестве примера возьмем десятичное число 529,162.

$$529,162_{10} = 5 \cdot 10^2 + 2 \cdot 10^1 + 9 \cdot 10^0 + 1 \cdot 10^{-1} + 6 \cdot 10^{-2} + 2 \cdot 10^{-3} = 500 + 20 + 9 + 0,1 + 0,06 + 0,002$$

Цифра 10 в подстрочном индексе числа обозначает систему счисления.

Так как в основу функционирования цифровых систем положен двоичный способ представления информации, основной системой счисления в них является двоичная система счисления.

ДВОИЧНАЯ СИСТЕМА СЧИСЛЕНИЯ имеет основание $P=2$ и для записи числа в этой системе требуется 2 цифры 0 и 1. Возьмем двоичное число 101011

$$101011_2 = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 32 + 8 + 2 + 1 = 43_{10}$$

ВОСЬМЕРИЧНАЯ СИСТЕМА СЧИСЛЕНИЯ имеет основание $P=8$ и для записи числа в этой системе требуется 8 цифр от 0 до 7

$$152_8 = 1 \cdot 8^2 + 5 \cdot 8^1 + 2 \cdot 8^0 = 64 + 40 + 2 = 106_{10}$$

Данная система является вспомогательной для ЭВМ и используется для более краткого представления двоичных чисел

ШЕСТНАДЦАТЕРИЧНАЯ СИСТЕМА СЧИСЛЕНИЯ имеет основание $P=16$ и использует знаки 10 цифр 0,1,2,3,4,5,6,7,8,9 и шесть латинских букв А, В,С,Д,Е,Ф.

Дес.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Шестн.	0	1	2	3	4	5	6	7	8	9	А	В	С	Д	Е	Ф

$$1EA_{16} = 1 \cdot 16^2 + 14 \cdot 16^1 + 10 \cdot 16^0 = 1 \cdot 256 + 14 \cdot 16 + 10 \cdot 1 = 490_{10}$$

Данная система счисления, как и восьмеричная, является вспомогательной. Запись двоичного числа в шестнадцатеричной системе счисления сокращает количество разрядов в 4 раза.

ДВОИЧНО-ДЕСЯТИЧНАЯ СИСТЕМА

При хранении десятичных чисел каждая цифра десятичного числа представляется в двоичной форме путем замены каждого разряда десятичного числа четырехразрядным двоичным кодом. Такая форма представления десятичных чисел называется двоично-десятичной. Например, число $328,7_{10}$ в двоично-десятичной форме запишется следующим образом:

$$328,7_{10} = 0011\ 0010\ 1000,0111_{2-10}$$

Так называемый код 8-4-2-1 относится к взвешенным кодам. Цифры в названии кода означают вес единиц в соответствующих двоичных разрядах. Он соответствует первым десяти комбинациям натурального двоичного кода.

Число в десятичном коде	Двоично-десятичный код 8-4-2-1			
	2^3 8	2^2 4	2^1 2	2^0 1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Двоично-десятичная система используется в ЭВМ не только как вспомогательная система счисления при вводе и выводе данных, но и как основная при решении задач с большим количеством десятичных чисел.

Непозиционной системой счисления называется такая система, в которой количественное значение каждой цифры не зависит от занимаемой ею позиции в изображении числа, а определяется лишь самим символом (цифрой). Например, в римской системе счисления число XX (двадцать) содержит символ X, который означает 10 единиц не зависимо от позиции.

2. Задание:

Произвести перевод чисел, заданных преподавателем, из одной формы в другую

3. Порядок выполнения

3.1. Внести числа, заданные преподавателем в таблицу

№ вар	3.3.1	3.3.2	3.3.3	3.3.4	3.3.5

3.2. Изучить краткие теоретические сведения.

3.3. Выполнить следующие действия

- 3.3.1. Перевести заданное десятичное число в двоичную, восьмеричную и шестнадцатеричную системы счисления.
- 3.3.2. Перевести в десятичную систему счисления заданное двоичное, восьмеричное и шестнадцатеричное число.
- 3.3.3. Перевести в заданное двоичное число в восьмеричную и шестнадцатеричную системы счисления.
- 3.3.4. Перевести в двоичную систему счисления заданное восьмеричное и шестнадцатеричное число.
- 3.3.5. Перевести в двоично-десятичную систему счисления заданное десятичное число
- 3.3.6. Ответить на контрольные вопросы
- 3.4. Оформить отчет и сдать его преподавателю

4. Указания к выполнению работы

4.1. Перевод числа в десятичной системе счисления в двоичную, восьмеричную и шестнадцатеричную

При переводе целого десятичного числа в систему с основанием P его необходимо последовательно *делить* на P до тех пор, пока не останется остаток, меньший основания. Число в системе с основанием P записывается как последовательность остатков от деления, записанных в обратном порядке, начиная с последнего частного.

При переводе дробной части она умножается на основание, после чего целая часть запоминается и отбрасывается. Вновь полученная дробная часть умножается на основание и т.д. Процедура продолжается до тех пор, пока дробная часть не станет равной нулю. Целые части выписываются после двоичной запятой в порядке их получения. Результатом может быть либо конечная, либо периодическая двоичная дробь. Поэтому, когда дробь является периодической, следует оборвать умножение на каком-либо шаге.

Перевод числа из десятичной СС в двоичную

Пример: Перевести число $234,35_{10}$ в систему счисления с основанием 2.

Перевод целой части:

Будем делить число 234 последовательно на 2 и записывать остатки, не забывая нулевые:

$$234 : 2 = 117 \text{ остаток } \mathbf{0}$$

$$117 : 2 = 58 \text{ остаток } \mathbf{1}$$

$$58 : 2 = 29 \text{ остаток } \mathbf{0}$$

$$29 : 2 = 14 \text{ остаток } \mathbf{1}$$

$$14 : 2 = 7 \text{ остаток } \mathbf{0}$$

$$7 : 2 = 3 \text{ остаток } \mathbf{1}$$

$$3 : 2 = \mathbf{1} \text{ остаток } \mathbf{1}$$

Результат последнего деления на 2 уже не делится, и эта цифра будет старшей цифрой нашего числа. Выписав все остатки, начиная с последнего, получим двоичное представление целой части числа:

$$234_{10} = 11101010_2$$

Перевод дробной части:

	0,35
	<u>× 2</u>
0←	0,7
	<hr style="border: 0; border-top: 1px solid black; margin: 0;"/>
	0,7
	<u>× 2</u>
1←	1,4
	<hr style="border: 0; border-top: 1px solid black; margin: 0;"/>
0←	0,4

$$\begin{array}{r|l}
 & \times 2 \\
 & \underline{0,8} \\
 \hline
 & 0,8 \\
 & \times 2 \\
 1 \leftarrow & \underline{1,6}
 \end{array}$$

Дробь периодическая, поэтому остановимся на **четырёх** значащих цифрах после запятой. Результат записывается, начиная с целой части первого действия умножения.
 $0,35_{10} = 0,0101_2$

Ответ: $234,35_{10} = 11101010,0101_2$

Перевод числа из десятичной СС в восьмеричную

Пример: Перевести число $100,35_{10}$ в систему счисления с основанием 8

Перевод целой части:

$$100:8=12 \text{ – остаток } 4.$$

$$12:8=1, \text{ остаток } 4.$$

$$100_{10} = 144_8.$$

Перевод дробной части:

$$\begin{array}{r|l}
 & 0,35 \\
 & \times 8 \\
 2 \leftarrow & \underline{2,80} \\
 \hline
 & 0,7 \\
 & \times 8 \\
 6 \leftarrow & \underline{6,40} \\
 \hline
 & 0,4 \\
 & \times 8 \\
 3 \leftarrow & \underline{3,20}
 \end{array}$$

Очевидно, что дробь является периодической. Поэтому остановимся на **трех** знаках после запятой.

$$0,35_{10} = 0,263_8$$

Ответ: $100,35_{10} = 144,263_8$

Перевод числа из десятичной СС в шестнадцатеричную

Пример: Перевести число $426,35_{10}$ в систему счисления с основанием 16

Решение:

Перевод целой части

$$426:16=26 \text{ – остаток } 10, \text{ что соответствует } A \text{ в шестнадцатеричной СС.}$$

$$26:16=1 \text{ – остаток } 10, \text{ что соответствует } A \text{ в шестнадцатеричной СС.}$$

$$426_{10} = 1AA_{16}$$

Перевод дробной части:

$$\begin{array}{r|l}
 & 0,35 \\
 & \times 16 \\
 5 \leftarrow & \underline{5,60} \\
 \hline
 & 0,60 \\
 9 \leftarrow & \underline{9,60}
 \end{array}$$

| 9,60

Очевидно, что дробь является периодической. Поэтому остановимся на двух знаках после запятой

$$0,35_{10} = 0,59_{16}$$

Ответ: $426,35_{10} = 1AA,59_{16}$

4.2. Перевод числа из двоичной, восьмеричной и шестнадцатеричной систем счисления в десятичную

При переводе чисел из системы счисления с основанием Р в десятичную систему счисления необходимо пронумеровать разряды целой части справа налево, начиная с нулевого, и дробной части, начиная с разряда сразу после запятой, слева направо (начальный номер 1). Затем вычислить сумму произведений соответствующих значений разрядов на основание системы счисления в степени, равной номеру разряда. Это и есть представление исходного числа в десятичной системе счисления.

Пример: Перевести число $101100,01_2$ в систему счисления с основанием **10**

Решение:

$$101100,01_2 = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} = \\ 32 + 8 + 4 + 0,25 = 44,25_{10}$$

Пример: Перевести число $52,43_8$ в систему счисления с основанием **10**

Решение:

$$52,43_8 = 5 \cdot 8^1 + 2 \cdot 8^0 + 4 \cdot 8^{-1} + 3 \cdot 8^{-2} = 40 + 2 + 0,5 + 0,046875 = 42,546875_{10}$$

Пример: Перевести число $1E,A_{16}$ в систему счисления с основанием **10**

Решение:

$$1E,A_{16} = 1 \cdot 16^1 + 14 \cdot 16^0 + 10 \cdot 16^{-1} = 16 + 14 + 0,625 = 30,625_{10}$$

4.3. Перевод числа из двоичной системы счисления в восьмеричную и шестнадцатеричную

При преобразовании двоичного кода в восьмеричный или в шестнадцатеричный, двоичный код делится соответственно на триады (тетрады) справа налево. Затем триады (тетрады) заменяются восьмеричными (шестнадцатеричными) цифрами

Пример: Перевести в восьмеричную систему счисления двоичное число $1001100101,011$

Решение:

$$1001100101,011_2 = 001\ 001\ 100\ 101,011 = 1145,3_8$$

Пример: Перевести в шестнадцатеричную систему счисления двоичное число $100110010,1011$

Решение:

$$100110010,1011_2 = 0001\ 0011\ 0010,1011 = 132,B_{16}$$

4.4. Перевод числа из восьмеричной и шестнадцатеричной систем счисления в двоичную

При преобразовании восьмеричного кода числа в двоичный, необходимо его каждую восьмеричную цифру заменить соответствующим трёхзначным двоичным кодом (триадой).

Пример: Перевести восьмеричное число $531,6$ в двоичную систему счисления

Решение:

$$531,6_8 = 101\ 011\ 001,110_2$$

При преобразовании шестнадцатеричного кода числа в двоичный, необходимо каждую шестнадцатеричную цифру заменить четырёхзначным двоичным кодом (тетрадой).

Пример: Перевести шестнадцатеричное число 83В,Ев двоичную систему счисления

Решение:

$83В,Е_{16} = 1000\ 0011\ 1011,1110_2$

4.5. Перевод числа из десятичной системы счисления в двоично-десятичную

В двоично - десятичной (2-10) системе каждая десятичная цифра представляется четырехразрядным двоичным эквивалентом, представленном в коде 8-4-2-1.

Пример: Перевести из десятичной системы счисления в двоично-десятичную число 836,5

Решение:

$836,5_{10} = 1000\ 0011\ 0110,0101_2$

5. Указания к выполнению отчета

Отчет должен содержать тему и цель работы, задание в виде таблицы и порядок выполнения, результаты выполнения задания под номерами, соответствующими заданию.

6. Контрольные вопросы

1. Что такое система счисления??
2. Что такое основание системы счисления?
3. Чем определяется количественное значение символа в позиционной системе счисления?

ПРАКТИЧЕСКАЯ РАБОТА №2

ПОСТРОЕНИЕ ТАБЛИЦ ИСТИННОСТИ ДЛЯ ЗАДАННЫХ ЛОГИЧЕСКИХ ФУНКЦИЙ

1.Цель работы: Получить практическое представление о способах представления, преобразования логических функций и их реализации.

Краткие теоретические сведения

Для описания функционирования цифровых аппаратных средств используют алгебру логики. Создателем алгебры логики является английский математик Джордж Буль, в честь которого она названа булевой алгеброй.

Логической (или двоичной) переменной в булевой алгебре называется переменная, которая может принимать только два значения – «0» или «1». Соответственно, логической (или двоичной) функцией называется логическая переменная, значение которой зависит от других логических переменных. Элементарная логическая функция содержит одну логическую операцию, а основе элементарных логических функций (или логических операций) строятся логические выражения

Логические функции могут быть представлены (задаваться) различными способами
-аналитическая форма представления логических функций, в виде аналитических выражений (формул)

-табличная форма (при помощи таблицы истинности) ТИ. ТИ- таблица, которая содержит значения логической функции при всех возможных сочетаниях значений двоичных переменных. Количество таких сочетаний $N = 2^n$, где n – количество двоичных переменных, от которых зависит значение логической функции. А сами эти комбинации представляют собой двоичные коды номеров строк, начиная с нуля. Например, если логическая функция $y = f(x_1, x_2, x_3)$ зависит от трёх логических переменных ($n = 3$) – x_1, x_2, x_3 – то количество различных сочетаний значений x_1, x_2, x_3 (строк таблицы истинности) $N = 2^3 = 8$.

-в виде схем на логических элементах

Порядок выполнения логических операций в логических выражениях

1. Операция инверсии и действия в скобках
2. Логическое умножение
3. Логическое сложение

Например:

Если $a = 1, b = 0$, а функция имеет вид $y = a \cdot b + (a + b)$, то значение функции определим как $y = 1 \cdot 0 + (1 + 0) = 0 + 1 = 1$.

Если знак инверсии стоит над какой то частью логического выражения, то это равнозначно тому, что эта часть заключена в скобки

2. Задание: Перейти от аналитической формы задания к табличной

3. Порядок выполнения

3.1. Найдите значение заданной в варианте задания (табл. 1) логической функции при всех комбинациях входных переменных и заполните таблицу истинности заданной функции.

4. Указания к выполнению

4.1. При нахождении значений функции при указанных значениях входных переменных, следует использовать основные законы алгебры логики.

Порядок выполнения логических операций в логических выражениях

1. Операция инверсии
2. Логическое умножение
3. Логическое сложение

Для изменения порядка следует применять скобки.

Если знак инверсии (черта) стоит над какой-то частью логического выражения, то это равнозначно тому, что эта часть заключена в скобки.

Найдите значения функции

$f(0, 0, 0, 0)$

$f(0, 0, 0, 1)$

$f(0, 0, 1, 0)$

$f(0, 0, 1, 1)$

$f(0, 1, 0, 0)$

.....

$f(1, 1, 1, 1)$

и заполните таблицу истинности

a	b	c	d	f
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения,
2. Исходную функцию задания п.3.1
4. Вычисления значений функции для всех комбинаций входных переменных
3. Заполненную таблицу истинности функции

6. Контрольные вопросы

1. Перечислите известные формы представления логических функций.
2. Что называется таблицей истинности логической функции?
3. От чего зависит количество комбинаций в таблице истинности логической функции?

ПРАКТИЧЕСКАЯ РАБОТА №3

ПОСТРОЕНИЕ ЛОГИЧЕСКИХ СХЕМ В ОСНОВНОМ И УНИВЕРСАЛЬНЫХ БАЗИСАХ

1.Цель работы: Получить практическое представление о способах представления, преобразования логических функций и их реализации.

Краткие теоретические сведения

Схемы, реализующие логические функции, называются логическими элементами (ЛЭ). Основные логические элементы имеют, как правило, один выход (Y) и несколько входов, число которых равно числу аргументов (X1;X2;X3...XN). На электрических схемах логические элементы обозначаются в виде прямоугольников с выводами для входных (слева) и выходных (справа) переменных. Внутри прямоугольника изображается символ, указывающий функциональное назначение элемента. Работу логических элементов описывают с помощью **таблиц истинности**. В таблице истинности указываются значения логической функции при всех возможных сочетаниях значений двоичных переменных. Количество таких сочетаний $N = 2^n$, где n – количество двоичных переменных, от которых зависит значение логической функции. А сами эти комбинации представляют собой двоичные коды номеров строк, начиная с нуля. Например, если логическая функция $y = f(x1, x2, x3)$ зависит от трёх логических переменных (n = 3) – x1, x2, x3 – то количество различных сочетаний значений x1, x2, x3 (строк таблицы истинности) $N = 2^3 = 8$.

С помощью схем ЛЭ можно реализовать любую логическую функцию.

Задачи, решаемые при разработке цифровых логических устройств, можно разделить на две категории:

1. Синтеза.
2. Анализа.

Синтез - это процесс построения схемы цифрового устройства по заданию.

Анализ - процесс обратный синтезу.

Таким образом, логическую функцию можно представить

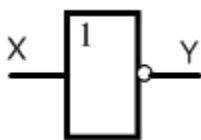
- в аналитической форме (в виде логических выражений)
- в табличной форме (в виде таблиц истинности)
- в виде электрической функциональной схемы на логических элементах

Основными логическими функциями являются:

Логическое отрицание (или инверсия). Записывается эта функция так:

$$Y = \bar{X}$$

Данная функция реализуется логическим элементом, который называется инвертором или же элементом **НЕ**



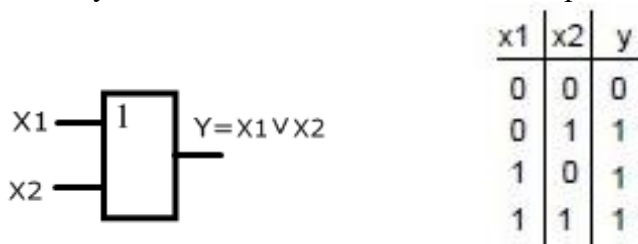
x	y
0	1
1	0

Логическое сложение или дизъюнкция. Записывается:

$$Y = X1 \vee X2$$

$$\text{или } Y = X1 + X2$$

Реализуется логическим элементом, который называется элементом **ИЛИ**

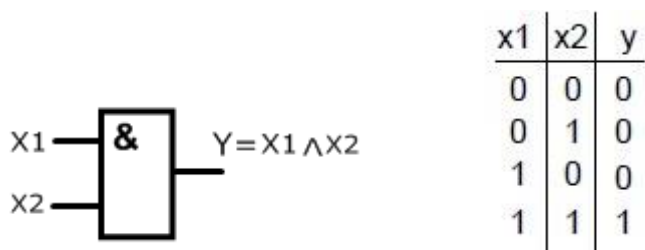


Логическое умножение или конъюнкция. Записывается:

$$Y = X1 \wedge X2$$

или $Y = X1 \cdot X2$

Реализуется логическим элементом, который называется элементом **И**

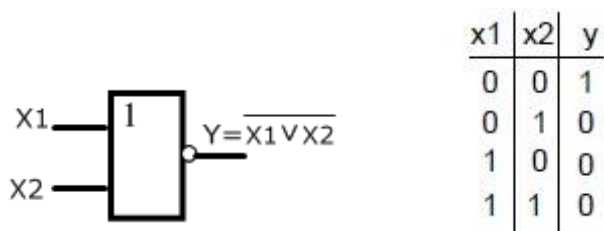


Отрицание логического сложения. Записывается:

$$Y = \overline{X1 \vee X2}$$

или $Y = \overline{X1 + X2}$

Реализуется логическим элементом, который называется элементом **ИЛИ-НЕ** или элементом Пирса

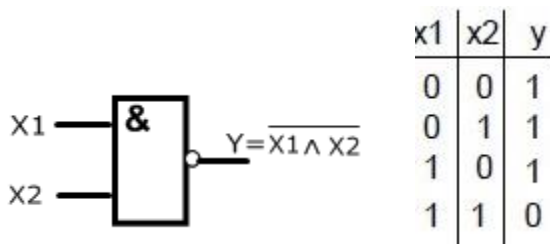


Отрицание логического умножения. Записывается:

$$Y = \overline{X1 \wedge X2}$$

или $Y = \overline{X1 \cdot X2}$

Реализуется логическим элементом, который называется элементом **И-НЕ** или элементом Шеффера



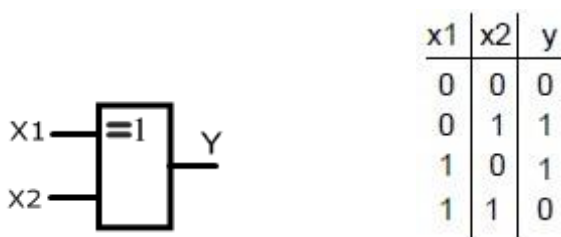
Функция неравнозначности (сложение по модулю 2).

Записывается:

$$Y = X1 \wedge \bar{X2} \vee \bar{X1} \wedge X2$$

или $Y = X1 \cdot \bar{X2} + \bar{X1} \cdot X2$

Реализуется логическим элементом, который называется элементом **исключающее ИЛИ**



При выполнении практической работы будем использовать следующие тождества:

1) $\bar{\bar{1}} = 0$; 2) $\bar{\bar{0}} = 1$; 3) $\bar{\bar{x}} = x$;

4) $x \cdot x = x$; 5) $x + x = x$;

6) $x \cdot 1 = x$; 7) $x + 1 = 1$;

8) $x \cdot 0 = 0$; 9) $x + 0 = x$;

10) $\bar{x} + x = 1$ 11) $\bar{x} \cdot x = 0$

Порядок выполнения логических операций в логических выражениях

1. Операция инверсии и действия в скобках
2. Логическое умножение
3. Логическое сложение

Например:

Если $a = 1$, $b = 0$, а функция имеет вид $y = a \cdot b + (a + b)$, то значение функции определим как $y = 1 \cdot 0 + (1 + 0) = 0 + 1 = 1$.

Если знак инверсии стоит над какой то частью логического выражения, то это равнозначно тому, что эта часть заключена в скобки

Основные законы алгебры логики

п/п	Закон	Логическое сложение	Логическое умножение
1	Переместительный	$x_1 \vee x_2 = x_2 \vee x_1$	$x_1 x_2 = x_2 x_1$
2	Сочетательный	$(x_1 \vee x_2) \vee x_3 = x_1 \vee (x_2 \vee x_3)$	$(x_1 x_2) x_3 = x_1 (x_2 x_3)$
3	Распределительный	$(x_1 \vee x_2) x_3 = x_1 x_3 \vee x_2 x_3$	$x_1 x_2 \vee x_3 = (x_1 \vee x_3)(x_2 \vee x_3)$
4	Инверсии	$\overline{x_1 \vee x_2} = \overline{x_1} \overline{x_2}$	$\overline{x_1 x_2} = \overline{x_1} \vee \overline{x_2}$

При выполнении практических работ мы будем неоднократно использовать закон (тождества) де Моргана:

1) инверсия конъюнкции входных переменных есть дизъюнкция инверсий входных переменных

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2}$$

2) инверсия дизъюнкции входных переменных есть конъюнкция инверсий входных переменных.

$$\overline{x_1 + x_2} = \overline{x_1} \overline{x_2}$$

Понятие о дизъюнктивной нормальной форме (ДНФ) и конъюнктивной нормальной форме (КНФ).

Дизъюнктивная нормальная форма (ДНФ) - это такая форма представления функции, при которой логические выражения функции строятся в виде дизъюнктивного ряда членов, каждый из которых является простой конъюнкцией аргументов. На простом языке, ДНФ - это форма записи функции в виде логической суммы слагаемых, каждое из которых является логическим произведением переменных. Т.е. ДНФ представляет собой дизъюнкцию элементарных конъюнкций. Если в каждом члене ДНФ представлены все аргументы или их инверсии, причем, каждая конъюнкция включает в себя каждую переменную только один раз в прямом или инверсном виде, раз такая форма записи называется совершенной (СДНФ).

Существует также конъюнктивная нормальная форма (КНФ) - форма представления функции в виде конъюнкции (логического умножения) ряда членов, каждый из которых является простой дизъюнкцией (логическим сложением) аргументов. Т.е. КНФ представляет собой конъюнкцию элементарных дизъюнкций. Если в каждом члене КНФ представлены все аргументы или их инверсии, причем, каждая дизъюнкция включает в себя каждую переменную только один раз в прямом или инверсном виде, то такая форма называется совершенной (СКНФ).

Для нахождения СДНФ и СКНФ любой БФ существуют следующие алгоритмы.

Пусть БФ трех переменных F задана таблицей истинности (таблица 7).

Таблица 7

Составим СДНФ для F :

- выделяем наборы переменных, на которых функция равна 1;
- записываем для этих наборов конъюнкции, при этом если переменная равна 1, то эта переменная записывается без отрицания, если же переменная равна 0, то такая переменная записывается с отрицанием;
- объединяем элементарные конъюнкции знаками дизъюнкций;
- полученное выражение будет являться совершенной ДНФ.

x	y	z	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$F_{\text{СДНФ}} = \bar{x} \cdot \bar{y} \cdot \bar{z} + \bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z + x \cdot y \cdot \bar{z} + x \cdot y \cdot z$$

Алгоритм нахождения СКНФ:

- выделяем те наборы переменных, на которых функция равна 0;
- из этих наборов переменных составляем дизъюнкции, учитывая то, что если переменная равна 0, то она записывается без отрицания, а если 1 – с отрицанием;
- объединяем элементарные дизъюнкции знаками конъюнкций;
- полученное выражение является совершенной КНФ.

$$F_{\text{СКНФ}} = (x + y + \bar{z}) \& (\bar{x} + y + z) \& (x + \bar{y} + z)$$

Понятие о базисе

Базис это минимальный набор логических операций, с помощью которых можно реализовать любую, сколь угодно сложную функцию. Функционально полными являются 3 базиса:

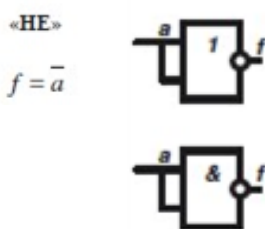
- 1) "И, ИЛИ, НЕ" основной базис (базис конъюнкции, дизъюнкции, инверсии)
- 2) "И-НЕ" (базис Шеффера)
- 3) "ИЛИ-НЕ" (базис Пирса).

Перевод в базис И-НЕ или ИЛИ-НЕ позволяет использовать одноименные микросхемы, а также уменьшить набор корпусов. Перевод в эти базисы осуществляется с использованием тождества де Моргана.

$$\overline{x1 + x2} = \bar{x1} \cdot \bar{x2}$$

$$\overline{x1 \cdot x2} = \bar{x1} + \bar{x2}$$

А реализация операции инверсии одной переменной выполняется следующим образом



2. Задание: Перейти от аналитической формы задания к схемной.

3. Порядок выполнения

4.2. Построение схемы заданной функции в базисе И,ИЛИ,НЕ

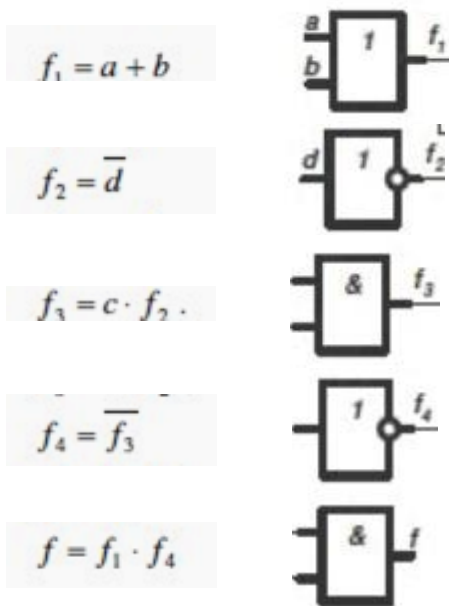
Пример 1: Построить схему заданной логической функции в базисе И,ИЛИ,НЕ

$$f = (a + b) \cdot \overline{c \cdot d}$$

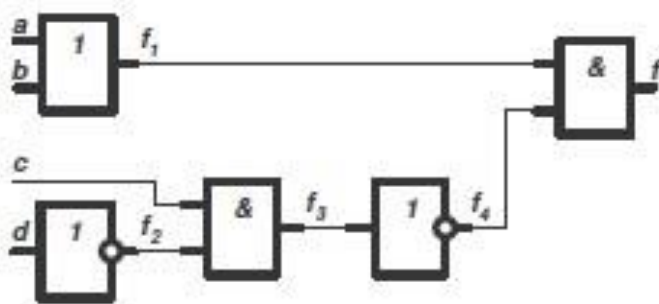
разобьем эту функцию на ряд элементарных логических функций

$$\begin{aligned}
 f_1 &= a + b \\
 f_2 &= \overline{d} \\
 f_3 &= c \cdot f_2 \\
 f_4 &= \overline{f_3} \\
 f &= f_1 \cdot f_4
 \end{aligned}$$

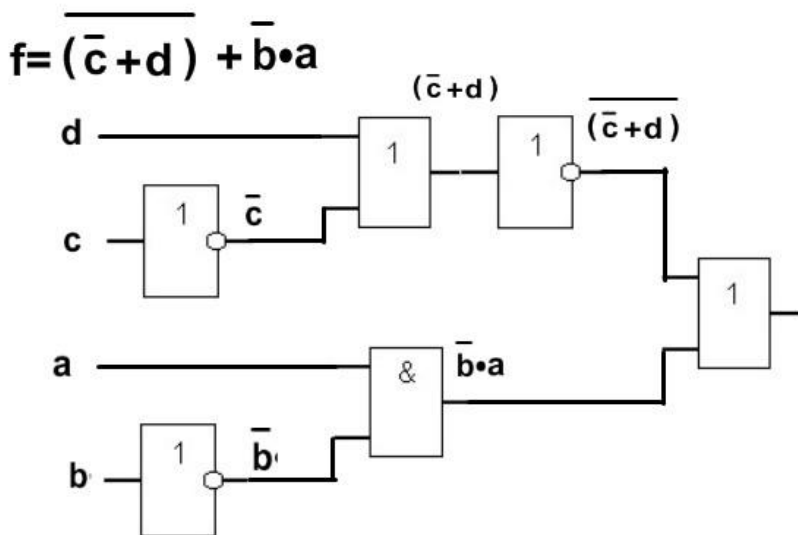
каждую элементарную логическую операцию реализует соответствующий логический элемент,



далее строим схему в соответствии с порядком выполнения логических операций



Пример 2: Построить схему заданной логической функции в базисе И,ИЛИ,НЕ без предварительного разбиения



5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения,
2. Исходную функцию задания п.3.1
4. Вычисления значений функции для всех комбинаций входных переменных
3. Заполненную таблицу истинности функции
5. Схему на логических элементах в базисе И, ИЛИ, НЕ, реализующую заданную логическую функцию.

Задание ч.2: Выполнить реализацию логических функций в заданных базисах

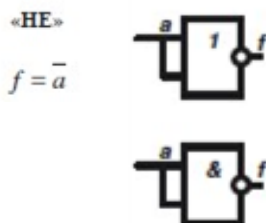
3. Порядок выполнения

3.1. Преобразуйте логическую функцию с использованием тождества де Моргана для перевода в базисы И-НЕ или ИЛИ-НЕ (в зависимости от варианта задания).

3.2. Постройте схему, используя ЛЭ И-НЕ или ИЛИ-НЕ (в зависимости от варианта задания).

4. Указания к выполнению

При построении схемы реализуйте операцию инверсии путем замены логического



элемента НЕ на элементы И-НЕ или ИЛИ-НЕ с объединением входов.

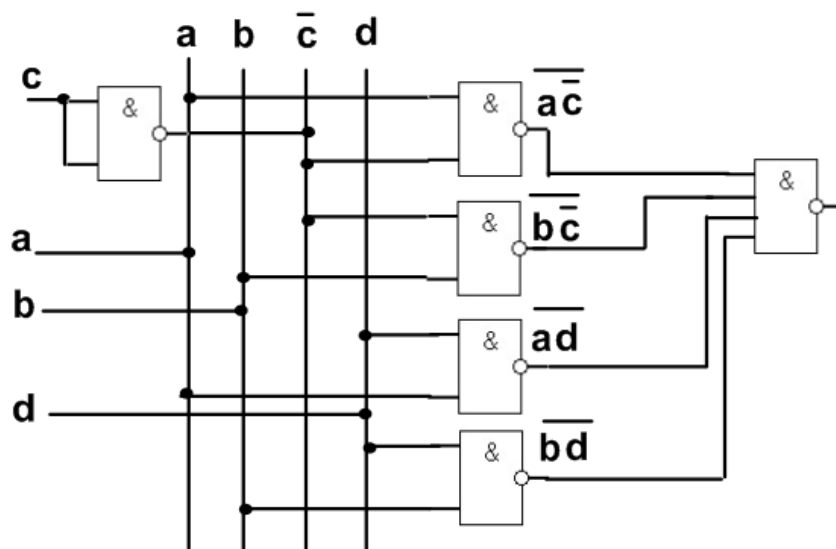
Пример. Построить схему заданной логической функции в базисе И-НЕ

$$f = a \cdot c + b \cdot c + a \cdot d + b \cdot d$$

выполним преобразования с применением тождества де Моргана,

$$f = a \cdot c + b \cdot c + a \cdot d + b \cdot d = \overline{\overline{a \cdot c + b \cdot c + a \cdot d + b \cdot d}} = \overline{\overline{a \cdot c} \cdot \overline{b \cdot c} \cdot \overline{a \cdot d} \cdot \overline{b \cdot d}}$$

затем строим схему на логических элементах И-НЕ



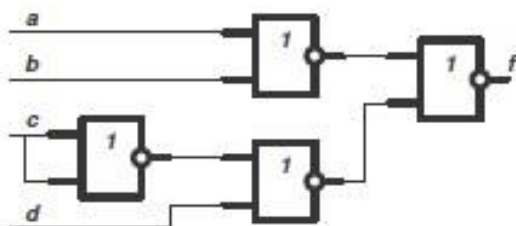
Пример. Построить схему заданной логической функции в базисе ИЛИ-НЕ

$$f = (a + b) \cdot (\bar{c} + d)$$

выполним преобразования с применением тождества де Моргана,

$$f = \overline{\overline{(a + b)} \cdot \overline{(\bar{c} + d)}} = \overline{\overline{(a + b)} + \overline{(\bar{c} + d)}}$$

затем строим схему на логических элементах ИЛИ-НЕ



5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения,
2. Преобразования логической функции с использованием тождества де Моргана
3. Схему в заданном базисе, реализующую заданную логическую функцию.

2. Задание ч.3: Выполнить реализацию логических функций в совершенной нормальной дизъюнктивной и конъюнктивной формах

3. Порядок выполнения

- 3.1. По заданной (см. табл.1) таблице истинности запишите СДНФ и СКНФ
- 3.2. Постройте полученные СДНФ и СКНФ в базисе И, ИЛИ, НЕ.
- 3.3. Ответьте на контрольные вопросы

4. Указания к выполнению

4.1 Запись функции в СДНФ

Правило перехода от табличной формы задания функции к СДНФ

- выбрать те наборы аргументов (строки таблицы истинности), на которых $f(X_1, X_2, \dots, X_n) = 1$.
- если при этом X_i имеет значение '1', то остается без изменений, если '0', то с отрицанием.
- все конъюнктивные члены соединить знаком дизъюнкции.

Пример: Пусть логическая функция задана в виде таблицы

X3	X2	X1	f(X1, X2, X3)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Из таблицы истинности видно, что функция принимает значение логической единицы только на трех наборах переменных, т.е. на 1,2, и 5-м наборах (счет строки от нуля). Тогда аналитическое выражение функции будет выглядеть так

$$\text{СДНФ} = \overline{X_3} \wedge X_2 \wedge \overline{X_1} \vee \overline{X_3} \wedge \overline{X_2} \wedge X_1 \vee X_3 \wedge \overline{X_2} \wedge \overline{X_1} \vee X_3 \wedge X_2 \wedge X_1$$

4.2 Запись функции в СКНФ

Правило перехода от табличной формы задания функции к СКНФ или правило записи функции по нулям.

- выбрать те наборы аргументов (строки таблицы истинности), на которых $f(X_1, X_2, \dots, X_n) = 0$.
- если при этом X_i имеет значение '0', то остается без изменений, если '1', то с отрицанием.
- все дизъюнктивные члены соединить знаком конъюнкции \wedge .

Например: Пусть логическая функция задана в виде таблицы

X1	X2	X3	f(X1, X2, X3)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Из таблицы истинности видно, что функция принимает значение логического нуля в строках с номерами 0, 2, 5. Тогда аналитическое выражение функции будет выглядеть так

$$\text{СКНФ} = F(X_1, X_2, X_3) = (X_1 \vee X_2 \vee X_3) \wedge (X_1 \vee \overline{X_2} \vee X_3) \wedge (\overline{X_1} \vee X_2 \vee \overline{X_3})$$

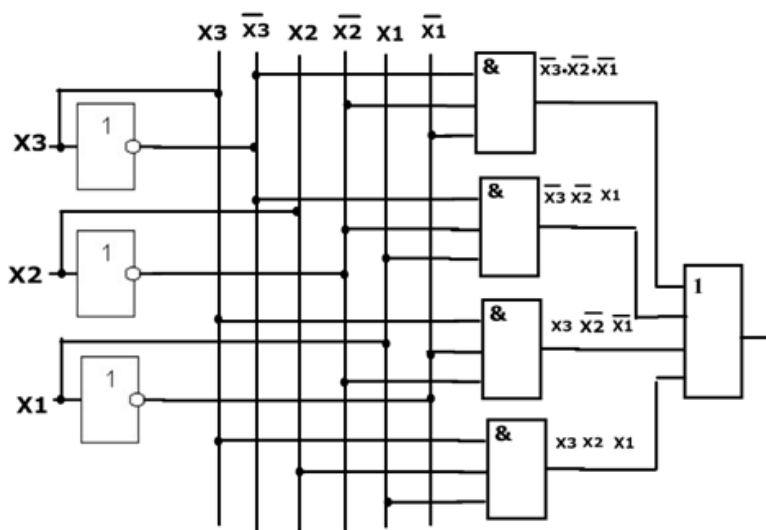
4.3 Построение схем производится аналогично первой части задания

Пример построения схем СДНФ и СКНФ функции

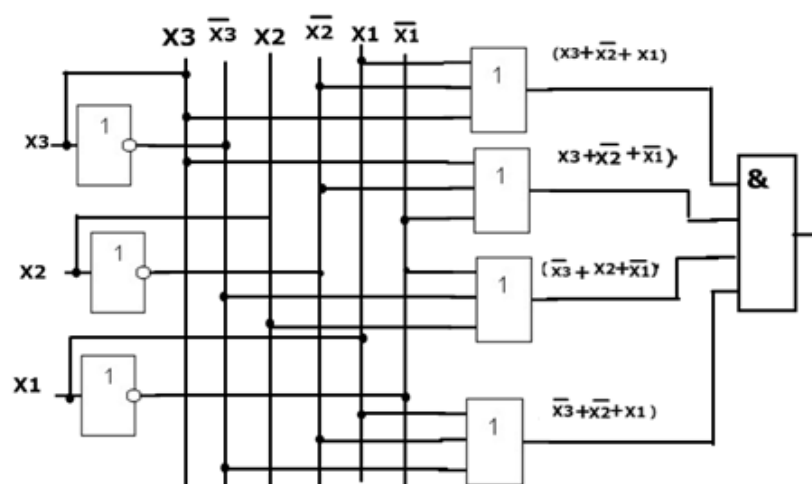
По заданной таблице истинности запишите СДНФ и СКНФ

X3	X2	X1	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$Y_{\text{СДНФ}} = \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1 + \bar{x}_3 \cdot \bar{x}_2 \cdot x_1 + x_3 \cdot \bar{x}_2 \cdot \bar{x}_1 + x_3 \cdot x_2 \cdot x_1$$



$$Y_{\text{СКНФ}} = (x_3 + \bar{x}_2 + x_1) \cdot (x_3 + \bar{x}_2 + \bar{x}_1) \cdot (\bar{x}_3 + x_2 + \bar{x}_1) \cdot (\bar{x}_3 + \bar{x}_2 + x_1)$$



5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения,
2. Исходную таблицу истинности задания.
3. СДНФ и СКНФ, полученные по таблице.
4. Схемы СДНФ и СКНФ, на логических элементах

6. Контрольные вопросы

1. Какие основные логические функции вы знаете?
2. Что называется базисом?
3. Каков порядок выполнения логических операций в логических выражениях?
4. Сформулируйте оба тождества де Моргана.

ПРАКТИЧЕСКАЯ РАБОТА №4

СИНТЕЗ ЦИФРОВЫХ УЗЛОВ С ПРИМЕНЕНИЕМ МЕТОДА МИНИМИЗАЦИИ

1. Цель работы Приобретение практических навыков минимизации логических функций, заданных в виде таблицы истинности, методом карт Карно и реализации их на современной элементной базе

Краткие теоретические сведения

Минимизация логических функций необходима для упрощения сложных выражений этих самых функций. Минимизировать логические функции можно с помощью, так называемых карт Карно.

Карты Карно – это графическое представление таблиц истинности логической функций. Они были изобретены в 1952 Эдвардом В. Вейчем и усовершенствованы в 1953 Морисом Карно, физиком из «Bell Labs». Карта представляет собой прямоугольник (или квадрат) разбитый на клеточки. Количество клеточек (N) равно количеству возможных неповторяющихся комбинаций значений двоичных переменных, от которых зависит заданная функция, т.е. $N = 2^n$, где n – количество переменных. Если $n = 4$: (x_1, x_2, x_3, x_4), то $N = 2^4 = 16$, следовательно, карта Карно будет содержать 16 клеточек:

Карта размечается системой координат, соответствующих значениям **входных переменных** заданной в виде таблицы истинности функции. Каждой клетке карты будет соответствовать комбинация $x_4x_3x_2x_1$, получающаяся на пересечении строки $x_4 x_3$ и столбца x_2x_1 .

Координаты строк и столбцов следуют не в естественном порядке возрастания двоичных кодов, а в порядке 00, 01, 11, 10. Это, так называемый, код Грея. Изменение порядка следования наборов сделано для того, чтобы соседние наборы (отличающиеся между собой лишь цифрой одного разряда) были соседними в геометрическом смысле. Процесс минимизации использует закон склеивания и заключается в формировании прямоугольных областей. Чем больше ячеек в прямоугольнике, тем меньше переменных содержится в соответствующем ему логическом выражении.

x2x1
x4x3 ⇨

	00	01	11	10
00	0000	0001	0011	0010
01	0100	0101	0111	0110
11	1100	1101	1111	1110
10	1000	1001	1011	1010

		<u>X1</u>	<u>X2</u>	
	0	1	0	1
X3	1	0	1	0
	0	1	0	0
X4	0	1	1	0

В каждой клетке карты Карно затем проставляется соответствующее значение функции на заданном наборе, т.е. ячейки таблицы, соответствующие наборам переменных, обращающих функцию в единицу, заполняются единицами, остальные – нулями. Далее выбирается наилучшее покрытие таблицы прямоугольными областями (наилучшим считается такое покрытие, которое образовано минимальным числом областей, а если таких вариантов несколько, то из них выбирается тот, который дает

максимальную суммарную площадь областей). Области составляются либо только из нулей, либо только из единиц. Количество элементов в области может быть 1, 2, 4, 8, 16 и т.д., т.е. 2^n . Один и тот же элемент может быть включен в разные области сколько угодно раз.

Используя этот метод, можно записать минимальную форму функции МДНФ и МКНФ. Если области составляются из единиц, то логическое выражение представляется в виде МДНФ, причем каждый член МДНФ представляет собой логическое выражение (произведение аргументов функции) для соответствующей области на карте. Если значение аргумента в области одинаково для всех ее элементов (в данном случае единиц), то этот аргумент заносится в выражение, причем если его значение равно нулю, то он записывается с инверсией.

Если области составляются из нулей, то логическое выражение представляется в виде МКНФ и если значение аргумента равно единице, то он записывается с инверсией.

2. Задание: По заданной таблице истинности составьте карту Карно, запишите минимальные формы ДНФ и КНФ и постройте схемы на логических элементах соответственно И-НЕ и ИЛИ-НЕ

3. Порядок выполнения

3.1. Заполните исходную таблицу истинности, используя таблицу вариантов

X_i	Значения логических переменных
X4	0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1
X3	0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1
X2	0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1
X1	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1
Вариант	Значения логической функции

3.2. Заполните карту Карно, перенося из таблицы истинности значения функции в клетки с координатами, соответствующей комбинации входных переменных.

x2x1

x4x3 \Rightarrow \Downarrow

	00	01	11	10
00	0000	0001	0011	0010
01	0100	0101	0111	0110
11	1100	1101	1111	1110
10	1000	1001	1011	1010

3.3. Выделите контуры в карте Карно для записи минимальных формы ДНФ (МДНФ) и КНФ (МКНФ)

3.4. Запишите МДНФ и МКНФ

3.5. Постройте схемы, реализующую полученную функцию в базисах: МДНФ в базисе И-НЕ, МКНФ в базисе ИЛИ-НЕ

3.6. Подберите ЛЭ в интегральном исполнении для схем, используя справочную литературу.

3.7. Ответьте на контрольные вопросы

4. Указания к выполнению

4.1. При заполнении карты Карно следует помнить, что каждой клетке карты будет соответствовать комбинация $x_4x_3x_2x_1$ входных переменных таблицы истинности, получающаяся на пересечении строки x_3x_4 и столбца x_1x_2 .

4.2. Объединение «1» (или «0») в группы производится по следующим правилам:

1. Группа должна быть прямоугольной (или квадратной) формы.

2. Группа может содержать только 2^n клеточек, где n – целое число. Соответственно, в нашем примере группа может содержать 1, 2, 4, 8 или 16 клеточек.

3. При объединении клеточек в группы карту можно сворачивать как по горизонтали, так и по вертикали, т.е. нужно представить себе, что она нанесена на шар.

4. Одна клеточка может входить в несколько групп одновременно.

5. Нужно стремиться, чтобы число групп было как можно меньше, а сами группы – как можно больше.

6. Каждая 1 или 0 могут входить одновременно в несколько объединений, но каждое новое объединение должно отличаться от уже имеющихся хотя бы одним новым компонентом.

4.3. Функцию в МДНФ преобразуйте в базис И-НЕ. Для этого необходимо дважды инвертировать левую и правую части выражения. Одну инверсию используем для замены знаков дизъюнкции на знаки конъюнкции, пользуясь тождеством де Моргана, другая инверсия остаётся для возвращения в исходное состояние. Таким образом, в выражении МДНФ остаются только знаки конъюнкции и инверсии – И-НЕ.

4.4. Функцию в МКНФ преобразуйте в базис ИЛИ-НЕ пользуясь тождеством де Моргана.

4.5. Определите количество ИМС, необходимое для реализации функции по формуле:

$$m = k/n,$$

где k – число элементов используемых в схеме;

n – число элементов в ИМС.

4.6. Из справочника выберите тип интегральных микросхем, которые можно использовать для реализации полученных функций.

Например:

Пусть задана логическая функция от 4-х переменных $y = f(x_1, x_2, x_3, x_4)$ в виде следующей таблицы истинности:

x4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
x3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
x2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
x1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
y	0	0	1	1	0	0	0	0	1	1	1	1	0	0	0	0

Контуры «1» и «0» в заполненной карте выглядят следующим образом

x2x1	00	01	11	10
x4x3				
00	0000 0	0001 0	0011 1	0010 1
01	0100 0	0101 0	0111 0	0110 0
11	1100 0	1101 0	1111 0	1110 0
10	1000 1	1001 1	1011 1	1010 1

x2x1	00	01	11	10
x4x3				
00	0000 0	0001 0	0011 1	0010 1
01	0100 0	0101 0	0111 0	0110 0
11	1100 0	1101 0	1111 0	1110 0
10	1000 1	1001 1	1011 1	1010 1

Затем для каждой группы выписываются те переменные, которые в пределах данной группы не изменяются. Если группа содержит «1» то переменные объединяются знаком « \square », а над теми переменными, которые равны «0» ставится знак инверсии. Группы переменных объединяются знаком «+». Например, для группы, содержащей «1» и выделенной сплошной линией x_3 равно «0» в каждой клеточке x_4 – равно «1» в каждой клеточке, а x_1 и x_2 в одних клеточках равны «0», в других – «1». У группы выделенной пунктиром, x_2 в каждой в каждой клеточке принимает значение «1», x_3 – «0».

$$Y_{\text{мднф}} = x_4 \cdot \overline{x_3} + \overline{x_3} \cdot x_2$$

Для групп, содержащих «0», всё делается наоборот. Инверсия ставится над теми переменными, которые равны «1», внутри группы переменные объединяются знаком «+», а между группами – « \cdot ». Тогда получим:

$$Y_{\text{МКНФ}} = \overline{x_3} (x_2 + x_4)$$

$Y_{\text{мднф}}$ в базисе И-НЕ

$$y = \overline{x_4 \cdot \overline{x_3} + \overline{x_3} \cdot x_2} = \overline{x_4 \cdot \overline{x_3}} \cdot \overline{\overline{x_3} \cdot x_2}$$

Выбираем подходящую микросхему по числу входов: 2И-НЕ, 3И-НЕ или 4И-НЕ. Для данного примера выбираем микросхему 2И-НЕ (К561ЛА7 из табл.1 Приложений), т.е. элемент микросхемы выполняет операцию конъюнкции с последующей инверсией результата, имеет два входа, таких элементов в данной микросхеме четыре. $m = k/n = 4/4 = 1$. Получаем схему (рис.1).

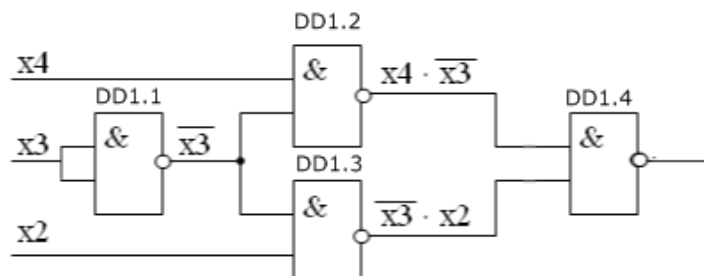


Рис.1. Схема в базисе И-НЕ

Таблица - спецификация к схеме

Обозначение в схеме	Тип ИМС	Количество	Коэффициент использования
DD1.1 – DD1.4	К561ЛА7	1	4/4

$Y_{\text{МКНФ}}$: в базисе ИЛИ-НЕ

$$y = \overline{\overline{x_3} (x_2 + x_4)} = x_3 + \overline{(x_2 + x_4)}$$

Для реализации данного выражения выбираем логический элемент 2ИЛИ-НЕ (К561ЛЕ5 из табл.1 Приложений), элемент с двумя входами, выполняющий операцию дизъюнкции с последующей инверсией результата, таких элементов в микросхеме четыре. $k=2$, $n=4$. Строим схему (рис.4).

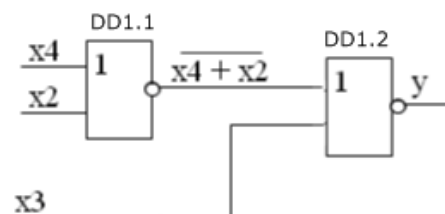


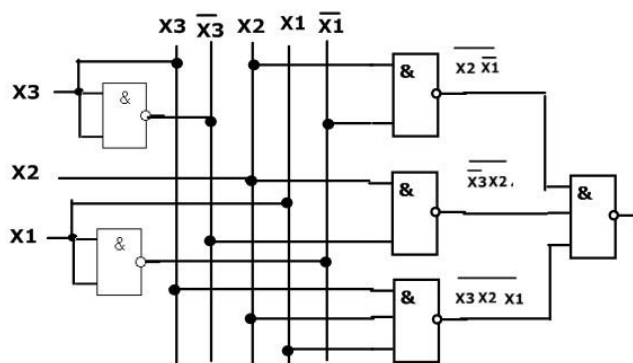
Рис.2. Схема в базисе ИЛИ-НЕ

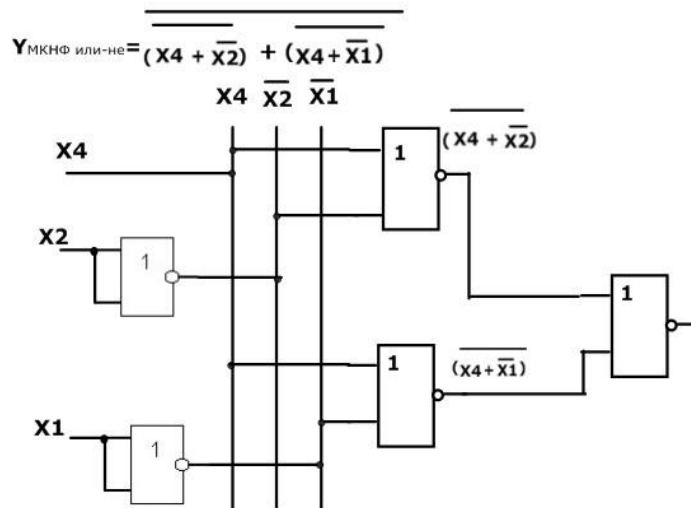
Таблица - спецификация к схеме

Обозначение в схеме	Тип ИМС	Количество	Коэффициент использования
DD1.1 – DD1.2	К561ЛЕ5	1	2/4

Примеры построения схем

$$Y_{\text{МДНФ И-НЕ}} = \overline{x_2 \overline{x_1}} \wedge \overline{x_3 x_2} \wedge \overline{x_3 x_2 x_1}$$





5. Указания к выполнению отчета

Отчет должен содержать

1. Тему и цель работы, задание и порядок выполнения.
2. Исходную таблицу истинности.
3. Карту Карно заданной функции с обозначением контуров.
4. УМДНФ и УМКНФ, полученные в результате минимизации исходной функции
5. Преобразования логической функции с использованием тождества де Моргана
6. Схемы электрические принципиальные заданной функции в базисах И-НЕ, ИЛИ-НЕ.

НЕ.

7. УГО выбранных микросхем и основные параметры

6. Контрольные вопросы

1. В чем заключается цель минимизации логической функции?
2. Сколько клеток содержит карта Карно?
3. Назовите основные универсальные базисы представления логических выражений

Приложения

Табл.1

Функциональный состав логических ИМС, используемых в работе

Тип ИМС	Выполняемая функция	№ рисунка
ЛЕ5	2ИЛИ-НЕ	1
ЛЕ 6	4ИЛИ-НЕ	2
ЛЕ10	3ИЛИ-НЕ	3
ЛА7	2И-НЕ	4
ЛА8	4И-НЕ	5
ЛА9	3И-НЕ	6

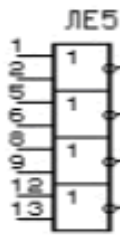


Рис.1

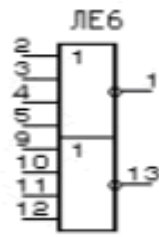


Рис.2

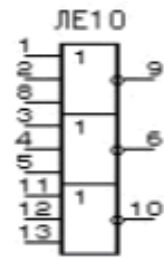


Рис.3

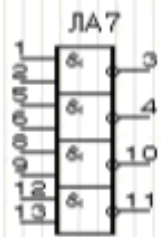


Рис.4

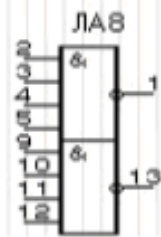


Рис.5

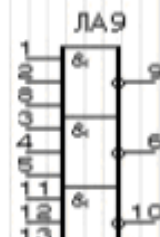


Рис.6

ПРАКТИЧЕСКАЯ РАБОТА №5

ПРОЕКТИРОВАНИЕ УСТРОЙСТВА НА БАЗЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УЗЛОВ

1. Цель: Приобретение практических навыков построения схем цифровых устройств на базе специальных комбинационных узлов

Краткие теоретические сведения

Дешифратором (Decoder — DC) $m \times n$ называют комбинационное устройство с m входами и n выходами, преобразующее m -разрядный двоичный код в n -разрядный унитарный код, имеет n информационных входов и 2^n выходов. Каждой комбинации логических уровней на входах будет соответствовать активный уровень на одном из 2^n выходов. Помимо информационных входов дешифраторы обычно имеют дополнительные входы управления. Сигналы на этих входах разрешают функционирование дешифратора или переводят его в пассивное состояние. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

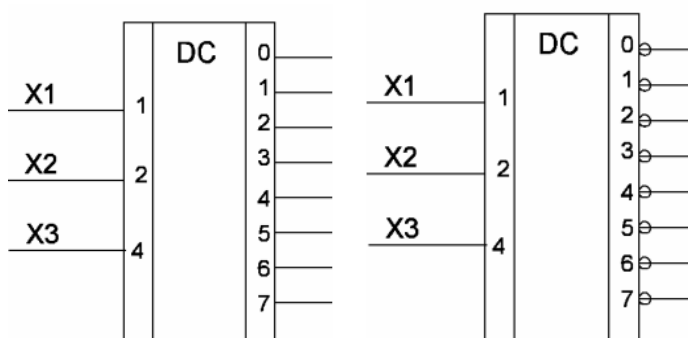


Рис.1. Условное графическое обозначение дешифратора

Мультиплексором (Multiplexer - MUX) $M \times 1$ называют комбинационное устройство с M информационными (D_0, D_1, \dots, D_{M-1}), K адресными (A_0, A_1, \dots, A_{K-1}) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход. Это комбинационное цифровое устройство предназначено для поочередной передачи на один выход одного из нескольких входных сигналов, то есть для их мультиплексирования. Количество мультиплексируемых входов называется количеством каналов мультиплексора.

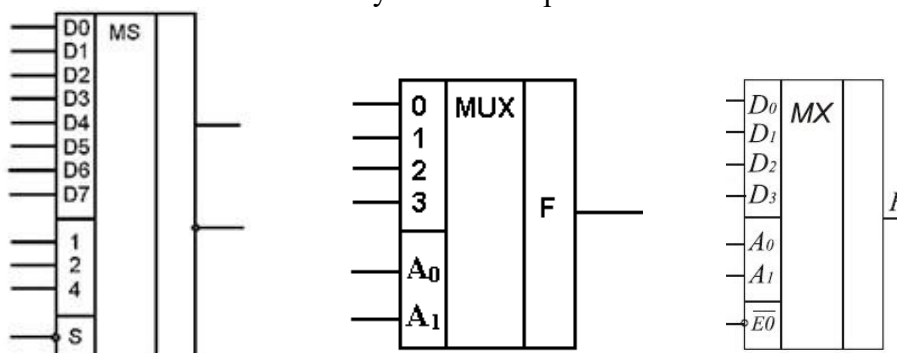


Рис.2. Условное графическое обозначение мультиплексора

Управление работой мультиплексора (выбор номера канала) осуществляется с помощью входного кода адреса. Например, для 4-канального мультиплексора необходим 2-разрядный управляющий (адресный) код, а для 16-канального — 4-разрядный код. Разряды кода обозначаются 1, 2, 4, 8 или A0, A1, A2, A3 (ABC).

2. Задание ч.1: Разработать схему логического устройства, реализующего логическую функцию, заданную в варианте задания, на базе дешифратора.

3. Порядок выполнения

3.1. Составьте таблицу истинности заданной функции, определяя значение логической функции при всех возможных комбинациях входных переменных.

3.2. Выпишите номера строк, в которых функций приобретает единичные и нулевые значения.

3.3. Постройте две схемы, реализующие заданную функцию: одну на дешифраторе с прямыми выходами и логическом элементе ИЛИ, а другую на дешифраторе с инверсными выходами и логическом элементе И.

4. Указания к выполнению

4.1. Чтобы реализовать логическую функцию на дешифраторе нужно подать логические переменные на адресные входы дешифратора.

4.2. Выбрать наборы входных переменных, при которых функция принимает значения «1». Так как функция должна равняться лог. «1» при реализации любого из этих наборов соответствующие выходы следует подать на входы схемы ИЛИ при использовании дешифраторов с активным сигналом лог. «1» на выходе или схемы И-НЕ, если используется дешифратор с активным сигналом лог. «0» на выходе.

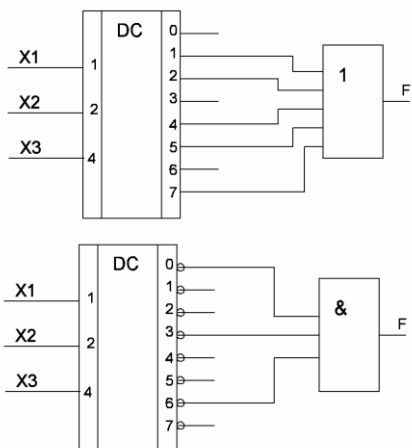
4.3. При использовании дешифраторов с активным сигналом лог. «0» удобнее выбрать наборы входных переменных, при которых функция принимает значения «0» и подать соответствующие выходы на входы схемы И.

Например: Необходимо реализовать функцию, описанную таблицей истинности, на базе дешифратора.

Таблица истинности имеет вид:

m	X ₃	X ₂	X ₁	y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Функция принимает значения «1» в 1,2,4,5,7 строках, и значения «0» в 0,3 и 6. Тогда схемы реализации будут выглядеть следующим образом



5. Указания к оформлению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения.
2. Заданную функцию согласно варианту.
3. Таблицу истинности с указанием номеров строк.
4. Схемы п.п. 3.3.

Задание ч.2: Разработать схему логического устройства, реализующего логическую функцию, заданную в виде карты Карно в варианте задания, на базе мультиплексора.

3. Порядок выполнения

3.1. Составьте МКНФ заданной логической функции по карте Карно путем объединения нулей.

3.2. Составьте таблицу истинности для вновь полученной функции, используя только три младших аргумента X_3, X_2, X_1 .

3.3. Для реализации в виде схемы подайте на адресные входы мультиплексора три младших аргумента X_3, X_2, X_1 , а на соответствующие информационные входы значения функции, полученные в соответствующих строках таблицы

4. Указания к выполнению

4.1. Для получения $Y_{\text{МКНФ}}$ следует произвести объединение клеток карты Карно, содержащих «0». Инверсия ставится над теми переменными, которые равны «1», внутри группы переменные объединяются знаком «+», а между группами – «·».

4.2. Чтобы заполнить таблицу истинности функции найдите ее значение при всех комбинациях входных переменных.

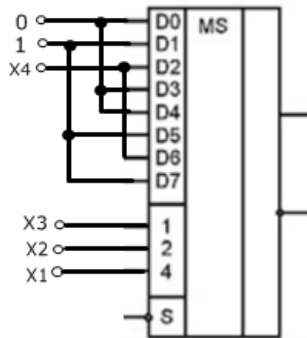
Например: пусть в результате минимизации функции, заданной в виде карты Карно $Y_{\text{МКНФ}}$ получилось равным

$$y = (X_1 + X_2) \cdot (X_1 + X_4) \cdot (\overline{X_2} + X_3)$$

Таблица истинности данной функции для трех младших аргументов

X_3	X_2	X_1	Y
0	0	0	0
0	0	1	1
0	1	0	X_4
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X_4
1	1	1	1

По таблице определим, какие сигналы следует подать на информационные входы мультиплексора, чтобы реализовать функцию Y .



5. Указания к оформлению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения.
2. Заданную функцию в виде карты Карно согласно варианту с указанием выбранных контуров.
3. МКНФ функции.
4. Таблицу истинности новой функции с указанием номеров строк.
5. Схемы п.п. 3.3.

Контрольные вопросы

1. Каково назначение дешифратора?
2. Каково количество выходных шин полного дешифратора при дешифрации трехразрядного числа?
3. Приведите условное графическое обозначение дешифратора высокого уровня 3X8 и укажите, при какой входной комбинации высокий уровень (лог «1») будет на выходе под номером «3»?
4. Приведите условное графическое обозначение дешифратора низкого уровня 3X8 и укажите, при какой входной комбинации низкий уровень (лог. «0») будет на выходе под номером «6»?
5. Каково назначение мультиплексора?
6. Какой информационный вход ($D0... D4$) мультиплексора подключается к выходу при подаче на адресные входы $A0$ и $A1$ кодов 01 и 10 соответственно?
7. Какой четырехразрядный адрес обеспечивает передачу на выход информации со следующих входов: $D2, D10, D5, D14$?

ПРАКТИЧЕСКАЯ РАБОТА №6 ПОСТРОЕНИЕ СЧЕТЧИКОВ ПО ПРОИЗВОЛЬНОМУ ОСНОВАНИЮ

1. Цель: Приобретение практических навыков построения схем цифровых устройств на базе специальных комбинационных узлов

Краткие теоретические сведения

Счетчиками называют устройства для подсчета числа входных импульсов и фиксации этого числа в каком-либо коде. В процессе работы счетчик последовательно изменяет свое состояние. Количество возможных состояний называется модулем счета Ксч или емкостью счетчика (предельное число импульсов, которое может быть подсчитано счетчиком). Основными элементами счетчика являются триггеры, количество которых определяет число разрядов счетчика n и его модуль счета Ксч. Нулевое состояние всех триггеров принимается за нулевое состояние счетчика. При подаче счетных импульсов счетчик последовательно изменяет свое состояние от нулевого до максимального, равного Ксч. Например, при $n=3$ Ксч=8, т.е. счетчик имеет 8 устойчивых состояний и каждый восьмой импульс, поступающий на его вход, будет возвращать счетчик в исходное состояние (обнуление счетчика). Это свойство позволяет использовать счетчики для деления частоты. При построении счетчика триггеры соединяют последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того чтобы изменить направление счета (реализовать вычитающий счетчик), можно осуществить

-считывание выходных сигналов счетчика не с прямых, а с инверсных выходов триггеров.

-изменение структуры связей в счетчике путем подачи на счетный вход триггера сигнала не с инверсного, а с прямого выхода предыдущего каскада.

В зависимости от способа кодирования внутренних состояний различают:

- двоичные счетчики;
- двоично-десятичные (декадные) счетчики;
- кольцевые счетчики – состояние счетчика определяется местоположением одной единственной 1 или 0;
- счетчики Джонсона – состояние счетчика определяется количеством 1 или 0.

В зависимости от способа подсчета различают следующие виды счетчиков:

- суммирующие;
- вычитающие;
- реверсивные;
- кольцевые.

По способу тактирования работы различают:

- синхронные счетчики, для работы которых требуется синхросигнал;
- асинхронные счетчики, работающие без синхросигналов.

По структурной организации, зависящей от способа подачи счетных импульсов на разряды счетчиков, различают:

- счетчики с последовательным (каскадным) переносом – счетные импульсы поступают только на вход первого разряда, а с его выхода – на вход второго и т.д. (счетчики с последовательным переносом отличаются простотой, но при этом имеют низкое быстродействие);

- счетчики с параллельным переносом – счетные импульсы поступают одновременно на все разряды (такие счетчики имеют более сложную организацию, но обеспечивают высокое быстродействие);

- параллельно-последовательные счетчики, представляющие собой комбинацию первых двух способов подачи счетных импульсов (такие счетчики используются для получения больших значений модуля счета).

Счётчик с произвольным основанием можно построить, используя микросхему счётчика, у которого имеется асинхронный вход сброса в нулевое состояние. Чтобы счётчик считал до N , достаточно в момент достижения в процессе счёта состояния N сформировать с помощью выходного состояния счётчика в этот момент и комбинационной схемы активный сигнал на входе сброса. Как только счётчик в процессе счёта переберёт все состояния от нуля до $N-1$, то с приходом очередного импульса на счётный вход счётчик достигает состояния N и происходит сброс его в нулевое состояние. То есть после состояния $N-1$ счётчик к приходу следующего импульса окажется в нулевом состоянии и счёт начнётся заново.

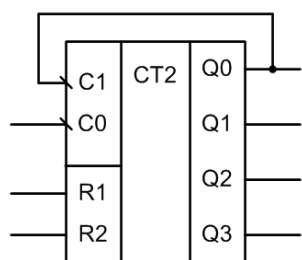


Рис.3. Условное графическое обозначение двоичного счетчика K555IE5

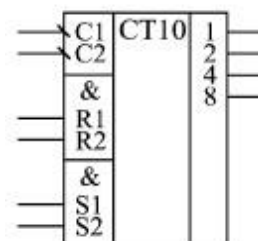


Рис.4. Условное графическое обозначение двоично-десятичного счетчика K555IE2

Задание: Разработать схемы двоичного и двоично-десятичного счетчика с заданным коэффициентом пересчета

3. Порядок выполнения

3.1. Представьте заданный преподавателем коэффициент пересчета в двоичном коде.

3.2. Для получения двоичного суммирующего счетчика выходы счетчика, веса которых соответствуют весам единиц в полученном двоичном числе, подсоедините ко входам логического вентиля И, выход которого подключите ко входам сброса счетчиков

3.3. Для получения двоично-десятичного счетчика заданный коэффициент пересчета представьте в двоично-десятичном коде и выходы счетчика, веса которых соответствуют весам единиц в полученном двоичном числе, подсоедините ко входам логического вентиля И, выход которого подключите ко входам сброса счетчиков

3.5. Для получения вычитающего счетчика определите число, которое будет предварительно записано в счетчик. Оно должно быть на единицу больше исходного модуля.

3.6. Представьте полученный коэффициент пересчета в двоичном коде

3.7. В соответствии с полученным числом входы счетчиков $D_0...D_7$ подключаются либо к нулевому потенциалу, либо через резистор к положительному выводу источника питания.

4. Указания к выполнению

4.1. Для построения двоичного счетчика с произвольным модулем счета используем метод, который заключается в немедленном сбросе в “0” счетчика, установившегося в комбинацию, соответствующему числу Ксч.

Пример построения двоичного счетчика с коэффициентом пересчета 100.

Так как заданный модуль счета больше 16, то для реализации этого счетчика необходимо использовать два четырехразрядных счетчика. Пусть это будут микросхемы ИЕ5. ИС типа ИЕ5 представляют собой последовательные двоичные четырехразрядные счетчики, у которых первый триггер имеет индивидуальный тактовый вход С1, а его выход Q1 не соединен с остальными разрядами счетчика. Внешний сигнал синхронизации подается на вход С1 счетчика D2. Его выход Q1 соединен со входом С2. Вход С1 счетчика D3 подключен к выходу Q4 счетчика D2. В процессе подсчета импульсов счетчик последовательно принимает состояния от 0 до 100. После чего он должен сброситься в ноль, т.е. все оставшиеся комбинации должны быть исключены. Для этого, как только на его выходах появится число $100_{10} = 1100100_2$, должен выработаться сигнал сброса. Его можно получить, если объединить логическим И выходы Q2 первой микросхемы, и Q1 и Q2 второй микросхемы счетчика. Эту функцию выполняет вентиль 3И (элемент D1 на рис. 5), выход которого подключен ко входам сброса счетчиков.

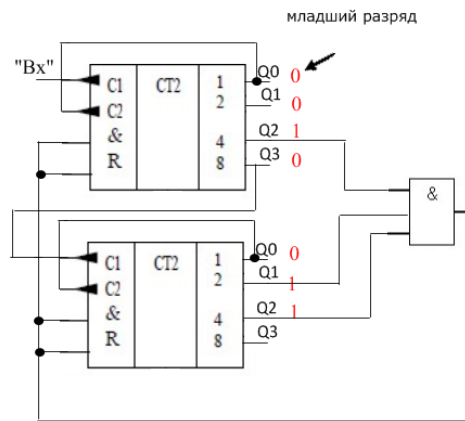


Рис.5 Схема суммирующего счетчика с коэффициентом пересчета 100 построенного на микросхемах ИЕ5

4.2. Для построения двоично-десятичного счетчика с произвольным модулем счета заданный коэффициент пересчета необходимо представить в двоично-десятичном коде, а затем выходы счетчика, веса которых соответствуют весам единиц в полученном двоичном числе, подсоединить ко входам логического вентиля И, выход которого подключить ко входам сброса счетчиков

Пример построения двоично-десятичного счетчика с коэффициентом пересчета

95

$$95_{10} = 1001\ 0101_{2-10}$$

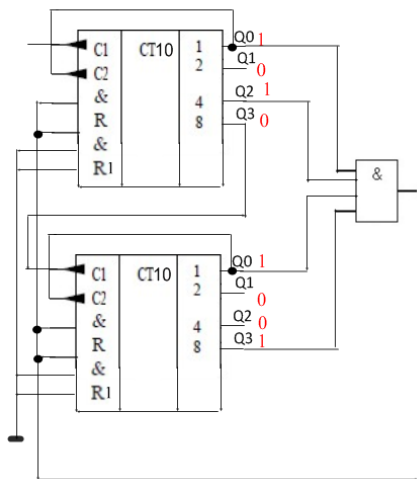


Рис.6 Схема суммирующего двоично-десятичного счетчика с коэффициентом пересчета 95, построенного на микросхемах ИЕ2

4.1. Для построения двоичного вычитающего счетчика с произвольным модулем счета используем метод предварительной загрузки числа, в основе которого лежит способ исключения начальных состояний для суммирующего счетчика и последних комбинаций для вычитающего счетчика. При этом счет начинается с того числа, которое было предварительно записано в счетчик.

Пример построения вычитающего счетчика с модулем счета $M = 77$, построенного на микросхемах ИЕ7.

Предварительная запись числа в этот счетчик происходит, если на вход стробирования С будет подан отрицательный импульс. Для осуществления обратного счета на вход "- 1" подаются положительные импульсы, а на вход "+1" - высокий уровень напряжения. После того, как на выходах счетчика установятся нужные уровни, на выходе займа появится отрицательный импульс. Именно этот импульс и используется для предварительной записи числа. В рассматриваемом примере это число будет равно $X = 77+1 = 78_{10} (01001110_2)$. В соответствии с полученным числом входы счетчиков D0...D7 подключаются либо к нулевому потенциалу, либо через резистор к положительному выводу источника питания.

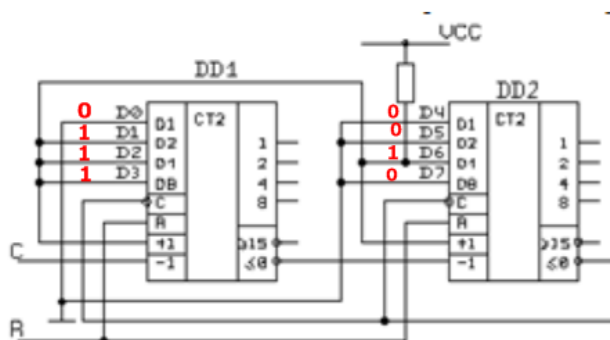


Рис.7 Схема вычитающего счетчика с модулем счета $M = 77$, построенного на микросхемах ИЕ7

5. Указания к оформлению отчета

Отчет должен содержать:

1. Тему и цель работы, задание и порядок выполнения.
2. Заданный коэффициент пересчета в двоичном или двоично-десятичном коде.

4. Схемы п.п. 3.3.

6. Контрольные вопросы

1. Что такое счётчик, какие разновидности счётчиков вы знаете?
2. Что называют модулем счета Ксч?
3. Как преобразовать суммирующий счетчик в вычитающий?

ЛАБОРАТОРНАЯ РАБОТА №1
ИССЛЕДОВАНИЕ РАБОТЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

1.Цель работы: Исследование работы цифровых логических элементов

Краткие теоретические сведения

Схемы, реализующие простейшие логические функции, называются логическими элементами (ЛЭ).

На электрических схемах логические элементы обозначаются в виде прямоугольников (шириной 10...12, высота > 15) с выводами для входных (слева) и выходных (справа) переменных. Внутри прямоугольника (в левом верхнем углу) изображается символ, указывающий функциональное назначение элемента.

С помощью схем ЛЭ можно реализовать любую логическую функцию.

В соответствии с перечнем логических операций (конъюнкция, дизъюнкция и отрицание) различают три основных логических элемента (ЛЭ): **И**, **ИЛИ**, **НЕ** (рис. 1). Элементы **И**, **ИЛИ** могут иметь несколько равноправных входов (от 2 до 12) и один выход, сигнал на котором определяется комбинацией входных сигналов. Элемент **НЕ** имеет всегда только один вход.

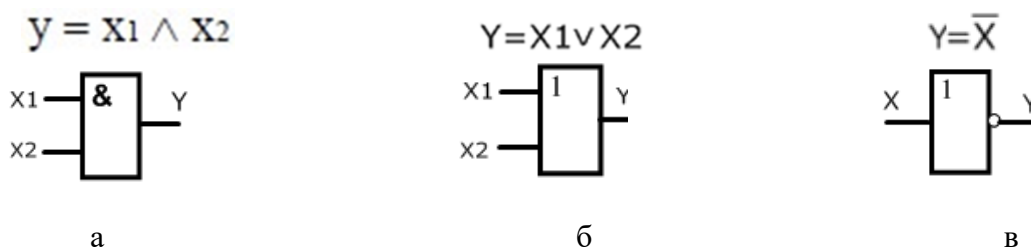


Рис. 1. Условное графическое обозначение элементов И (а), ИЛИ (б), НЕ (в)

На практике широкое применение нашли ЛЭ, совмещающие функции элементов указанных выше функционально полных систем. Это элементы И-НЕ и ИЛИ-НЕ, которые носят названия соответственно элемент Шеффера и элемент Пирса.

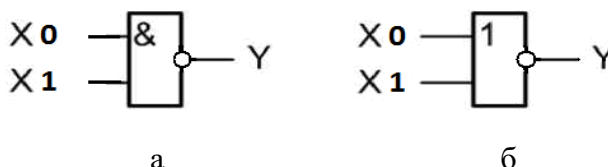


Рис. 2. Условное графическое обозначение элементов **И-НЕ** (а), **ИЛИ-НЕ** (б)

В табл. 2 представлены основные логические элементы, их обозначение, схемы и выполняемые функции.

Элемент	Обозначение	Схема	Функция
НЕ	ЛН		$Y = \bar{X}$
И	ЛИ		$Y = X1 \wedge X0$
И-НЕ	ЛА		$Y = \overline{X1 \wedge X0}$
ИЛИ	ЛЛ		$Y = X1 \vee X0$
ИЛИ-НЕ	ЛЕ		$Y = \overline{X1 \vee X0}$
Исключающее ИЛИ	ЛП		$Y = X1 \oplus X2$

Примечание: для обозначения логической операции «Исключающее ИЛИ» в логических выражениях используется символ \oplus (сложение по модулю два)

От числа входов n логического элемента зависит также количество строк таблицы истинности 2^n . Например, для элемента с 3 входами таблица истинности будет содержать $2^3=8$ строк, с 4 входами - $2^4=16$ и т.п.

2. Перечень используемого оборудования:

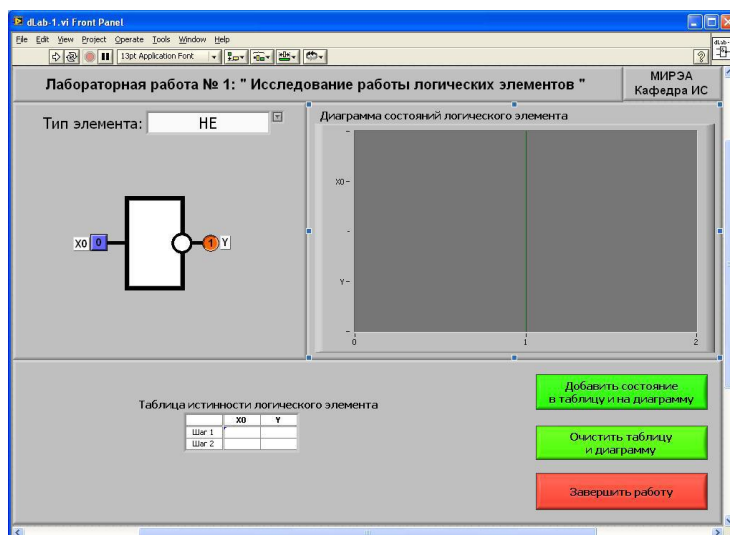
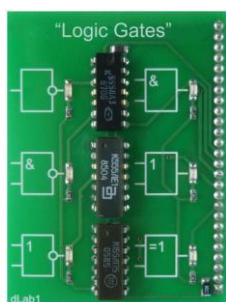
- платформа NI ELVIS II;
- лабораторный модуль dLab1 для исследования работы логических элементов.

3.Задание: Проанализируйте работу логических элементов и сделайте вывод о соответствии таблиц истинности теоретическим положениям

4. Порядок выполнения работы

4.1. Установите лабораторный модуль **dLab1** на макетную плату лабораторной станции NI ELVIS.

4.2. Загрузите файл **dLab-1.vi** и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN. На экране появится изображение лицевой панели.



ИССЛЕДОВАНИЕ ЛОГИЧЕСКОГО ЭЛЕМЕНТА НЕ

4.3 . Нажмите на кнопку «Очистить таблицу и диаграмму».

4.4. Выберите логический элемент «НЕ». Для этого щелкните мышью на кнопке раскрытия списка элемента управления «Тип элемента». В раскрывшемся списке выберите строку с надписью «НЕ». В левой части рабочего окна появится условное графическое изображение логического элемента НЕ.

4.5. Установите на входе «X0» исследуемого логического элемента логический сигнал «0». Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около входа логического элемента. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет). На индикаторе круглой формы, расположенном около выхода логического элемента, будет отображено состояние выходного сигнала в соответствии с логической функцией исследуемого элемента.

4.6. Занесите логические состояния входа и выхода логического элемента «НЕ» в таблицу истинности и на диаграмму состояний. Для этого нажмите на кнопку «Добавить состояние в таблицу и на диаграмму».

4.7. Установите на входе «X0» исследуемого логического элемента логический сигнал «1», и с помощью кнопки «**Добавить состояние в таблицу и на диаграмму**» занесите логические состояния входа и выхода логического элемента «НЕ» в таблицу истинности и на диаграмму состояний.

Таблица 3

	X0	Y
Шаг1		
Шаг2		

4.8. Полученные таблицу истинности и диаграмму состояний скопируйте в отчет.

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И, И-НЕ, ИЛИ, ИЛИ-НЕ,

Искл.ИЛИ

4.9. Нажмите на кнопку «**Очистить таблицу и диаграмму**».

4.10. Выберите логический элемент И. Для этого щелкните мышью на кнопке раскрытия списка элемента управления «**Тип элемента**». В раскрывшемся списке выберите строку с надписью «И». В левой части рабочего окна появится условное графическое изображение логического элемента И.

4.11. Установите на входах «X0» и «X1» логического элемента значения сигналов, приведенные в первой строке табл.3.

Таблица 3

<i>Вход X1</i>	<i>Вход X0</i>
0	0
0	1
1	0
1	1

4.12. Занесите логические состояния входов и выходов в таблицу истинности и на диаграмму состояний. Для этого на лицевой панели ВП нажмите на кнопку «**Добавить состояние в таблицу и на диаграмму**». Аналогично занесите логические состояния входов и выходов для остальных строк таблицы 2.

4.13. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет.

4.14. Повторите пп. 4.10. – 4.13. для логических элементов «И-НЕ», «ИЛИ», «ИЛИ-НЕ», «Искл.ИЛИ».

4.15. Запишите выводы по проведенным исследованиям и ответьте на контрольные вопросы.

5. Указания к выполнению отчета

Отчет должен содержать:

- наименование и цель работы.
- перечень используемого оборудования
- схемы измерений
- таблицы истинности ЛЭ
- диаграммы состояний
- выводы по проведенным исследованиям
- ответы на контрольные вопросы.

6. Контрольные вопросы

1. Назовите основные логические операции булевой алгебры.
2. От чего зависит количество комбинаций в таблице истинности логической функции?

3. Приведите условное графическое обозначение логических элементов И, ИЛИ, НЕ, И-НЕ и поясните их работу по активному уровню.

7. Список литературы

1. Электронная техника: учебник / М.В. Гальперин. — 2-е изд., испр. и доп. — М. : ИД «ФОРУМ» : ИНФРА-М, 2023г. электронный портал znanium.

2. Берикашвили В.Ш. Черепанов А.К. «Электронная техника.– М.: «Академия», 2018г.

3. Колпакова Т.И., Калиенко И.В., Методическое пособие «Логические элементы», РКРИПТ, 2017.

4. Руководство пользователя NI ELVIS II. Комплект виртуальных измерительных приборов для учебных лабораторий. Издательство - NATIONAL INSTRUMENTS, 2018.

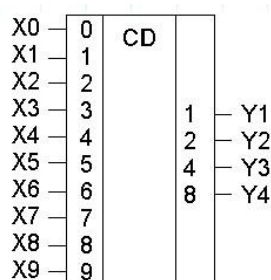
ЛАБОРАТОРНАЯ РАБОТА №2

ИССЛЕДОВАНИЕ РАБОТЫ ШИФРАТОРА

1.Цель работы: Изучение принципов работы и режимов функционирования шифратора

Краткие теоретические сведения

Шифратор это комбинационное цифровое устройство, которое осуществляет преобразование одиночного сигнала, выражающего код десятичного числа в n-разрядный двоичный код. При n выходах простейший полный шифратор должен иметь 2^N входов. Активный сигнал поступает только на один из входов в данный момент времени. Каждому входу с активным сигналом соответствует определённая комбинация выходных сигналов.



Десятичное число	Двоичный код			
	Y4	Y3	Y2	Y1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Рис.1 Условное графическое обозначение шифратора

Рис.2 Таблица истинности шифратора десятичного кода в четырехразрядный двоичный код

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- полные шифраторы, число входов которых $M = 2^N$;
- неполные шифраторы, имеющих число входов $M < 2^N$.

где N-число выходов

По уровням входных и выходных сигналов выделяют:

- шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
- шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на две группы:

- шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, т. е. должна соблюдаться очередность подачи сигналов от разных источников. Если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;
- приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

Микросхема К555ИВ1 представляет собой приоритетный шифратор низкого уровня, преобразующий унитарный код “1 из 8” в двоичный трехразрядный код.

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

- восемь информационных входов X_0, X_1, \dots, X_7 ;
- три информационных выхода Y_0, Y_1, Y_2 ;
- вход E разрешения работы данного шифратора;
- выход EO разрешения работы других шифраторов при каскадировании;
- выходной сигнал группового переноса G .

Работа дешифратора разрешена при подаче нуля на вход разрешения E (enable). При этом на выходах кода Y_0, Y_1, Y_2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе E запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается ноль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход X_0 от ситуации отсутствия сигналов на всех входах.

Выход EO становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе E .

Работа устройства иллюстрируется таблицей состояний табл. 1

Входы									Выходы				
E	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_2	Y_1	Y_0	G	EO
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	0	x	x	1	0	1	0	1
0	1	1	1	1	0	x	x	x	1	0	0	0	1
0	1	1	1	0	x	x	x	x	0	1	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

Примечание: символ x указывает на то, что состояние соответствующего сигнала не имеет значения, т.е. не влияет на состояние выходного кода.

Сигналы EI и EO используются для наращивания разрядности шифратора. На рисунке 3 приведена схема построения шифратора 16X4 на основе двух шифраторов 8X3.

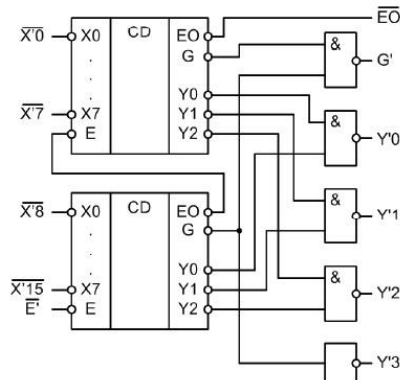


Рис.3 Схема построения шифратора 16X4

Шифраторы также могут быть использованы при организации клавиатуры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не нажата, об этом свидетельствует единичное

значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в единичное состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

2. Перечень используемого оборудования:

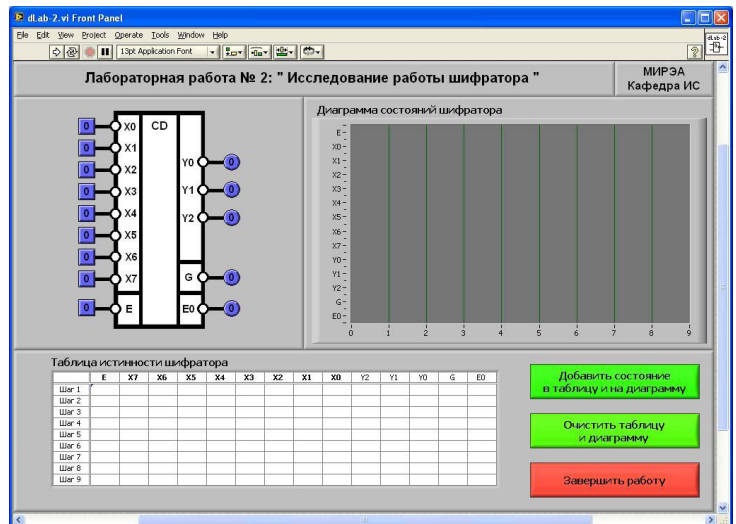
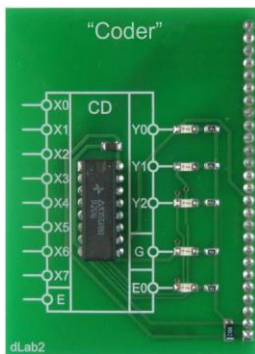
- лабораторная станция NI ELVIS II
- лабораторный модуль dLab2 для исследования работы шифратора

3. Задание: По таблице истинности и диаграмме состояний проанализируйте работу шифратора и определите, при каких условиях активный низкий уровень появляется на выходах GS и E0, какой логический сигнал на входе управления «E» дешифратора является активным, является ли шифратор приоритетным

4. Порядок выполнения.

4.1. Установите лабораторный модуль **dLab2** на макетную плату лабораторной станции NI ELVIS.

4.2. Загрузите файл **dLab-2.vi** и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.



4.3. Нажмите на кнопку «Очистить таблицу и диаграмму».

4.4. Установите на входе «E» шифратора логический сигнал «0», а на входах «X0», «X1», «X2», «X3», «X4», «X5», «X6», и «X7» – значения сигналов, приведенные в первой строке табл.1.

табл.1

Ex=0	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг1													
Шаг2													
Шаг3													
Шаг4													
Шаг5													
Шаг6													
Шаг7													
Шаг8													
Шаг9													

4.5. Занесите логические состояния входов и выходов шифратора первой строки в таблицу истинности и на диаграмму состояний. Для этого на лицевой панели ВП нажмите

на кнопку «Добавить состояние в таблицу и на диаграмму». Аналогично занесите информацию остальных строк.

4.6. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет

4.7. Установите на входе «Е» шифратора логический сигнал «1» и повторите исследование работы шифратора.

Ex=1	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг1													
Шаг2													
Шаг3													
Шаг4													
Шаг5													
Шаг6													
Шаг7													
Шаг8													
Шаг9													

4.8. По таблице истинности и временной диаграмме определите, какой логический сигнал на входе управления «Е» дешифратора является активным.

4.9. По таблице истинности и временной диаграмме определите, при каких условиях активный низкий уровень появляется на выходах GS (групповой сигнал) и E0 (разрешение от выхода).

4.10. Проверьте, что исследуемый шифратор является приоритетным. Для этого сначала установите вход управления «Е» в состояние «0», а все информационные входы в состояние «1». Затем переключите любые два информационных входа, например, «X6» и «X3» в состояние «0». Определите, сопоставив выходной сигнал шифратора с полученной ранее таблицей истинности, какой вход из двух задействованных имеет больший приоритет.

4.11. Запишите выводы по проведенным исследованиям.

5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, перечень используемого оборудования, задание и порядок выполнения

2. Таблицу истинности и временную диаграмму при логическом «0» на входе «Е» шифратора.

3. Таблицу истинности и временную диаграмму при логической «1» на входе «Е» шифратора.

4. Выводы по проведенным исследованиям

6. Контрольные вопросы

1. Каково назначение шифратора? Приведите условное графическое обозначение шифратора

2. Каково назначение входа управления в шифраторе? Как влияет сигнал управления на выходные функции шифратора?

3. Какой шифратор называется приоритетным?

4. Какой шифратор называется полным?

ЛАБОРАТОРНАЯ РАБОТА №3

ИССЛЕДОВАНИЕ РАБОТЫ СУММАТОРА

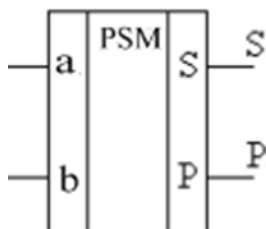
1.Цель работы: Изучение принципов работы и режимов функционирования сумматора

Краткие теоретические сведения

Сумматор - цифровое устройство для арифметического сложения двоичных чисел. По количеству одновременно обрабатываемых разрядов различают:

- одноразрядные сумматоры
- многоразрядные сумматоры

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных переменных, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых суммы и переноса в старший разряд.



a	b	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

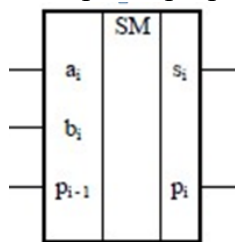
выхода и сигналы

a и b- слагаемые (операнды)

S-сумма

P-выход переноса в старший разряд

Одноразрядным полным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее три входа и два выхода, и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.



a_i и b_i - слагаемые (операнды)

P_{i-1} – вход переноса из младшего разряда

s_i -сумма

P_i -выход переноса в старший разряд

a_i	b_i	P_{i-1}	s_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1
$a_i + b_i + P_{i-1}$				

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных кодов, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных сумматорах все разряды входных кодов суммируются одновременно.

Классификация сумматоров

Комбинационные сумматоры – устройства, не имеющие собственной памяти.

Накапливающие сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

В синхронных сумматорах время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В асинхронных сумматорах время выполнения операции зависит от вида слагаемых. Поэтому по завершении выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного сигнала переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор K155ИМ3

Путем соединения выводов переноса C0, C4 четырехразрядных сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называют сумматором с последовательным групповым переносом.

2. Перечень используемого оборудования

- лабораторная станция NI ELVIS II
- лабораторный модуль dLab5 для исследования работы сумматора

3. Задание.

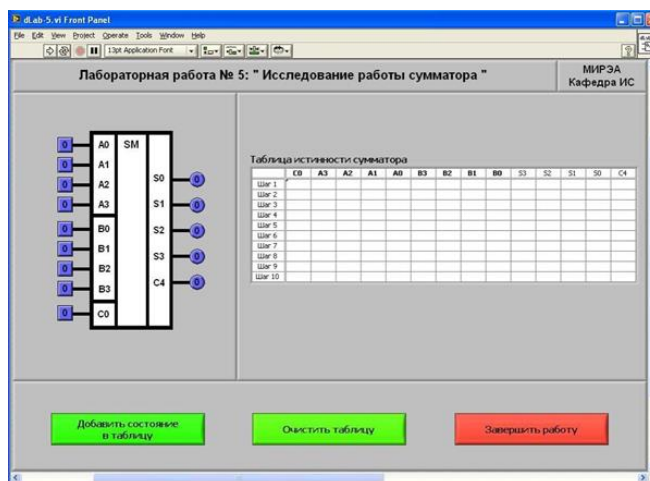
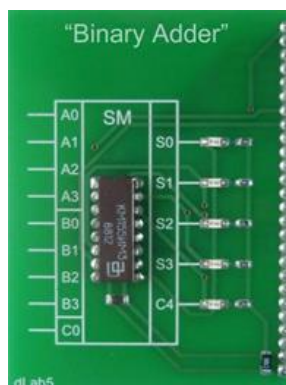
По таблице истинности и диаграмме состояний проанализируйте работу микросхемы K155ИМ3 сравните полученные результаты с расчетами, выполненными вручную,

4. Порядок выполнения:

4.1. Установите лабораторный модуль dLab5 на макетную плату лабораторной станции NI ELVIS.



4. 2. Загрузите файл dLab-5.vi и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN



4.3. Нажмите на кнопку «Очистить таблицу».

4.4. Установите на входах «C0», «A0», «A1», «A2», «A3», «B0», «B1», «B2» и «B3» – значения сигналов, приведенные в первой строке табл.1. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет). На индикаторах круглой формы, расположенных около выходов «S0», «S1», «S2», «S3» и «C4» сумматора, будет отображено состояние его выходных сигналов.

Таблица 1

Вход C0	Вход A3	Вход A2	Вход A1	Вход A0	Вход B3	Вход B2	Вход B1	Вход B0	S3	S2	S1	S0	C4
0	0	0	1	0	0	1	0	0					
0	1	0	0	1	1	1	0	1					
0	0	1	0	1	0	1	1	0					
0	1	0	1	1	0	1	1	1					
0	1	1	1	1	1	1	1	1					
1	0	0	1	1	0	1	0	1					
1	0	0	1	0	1	0	0	0					
1	1	0	0	1	0	0	1	1					
1	1	1	1	0	1	1	1	0					
1	1	1	1	1	1	1	1	1					

4.5. Занесите логические состояния входов и выходов сумматора в таблицу истинности. Для этого на лицевой панели ВП нажмите на кнопку «Добавить состояние в таблицу».

4.6. Повторите пп.4.4 – 4.5 для остальных строк табл.5.2.

4.7. Скопируйте полученную таблицу истинности в отчет

4.8. Проверьте полученные результаты сложения двоичных чисел с помощью уравнения

$$C0 + 2^0(A0+B0) + 2^1(A1+B1) + 2^2(A2+B2) + 2^3(A3+A3) = \\ = 2^0S0 + 2^1S1 + 2^2S2 + 2^3S3 + 2^4C4,$$

4.9. Результаты проверки занесите в отчет в таблицу 2.

C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
----	----	----	----	----	----	----	----	----	----	----	----	----	----

0	0	0	1	0	0	1	0	0					
0	1	0	0	1	1	1	0	1					
0	0	1	0	1	0	1	1	0					
0	1	0	1	1	0	1	1	1					
0	1	1	1	1	1	1	1	1					
1	0	0	1	1	0	1	0	1					
1	0	0	1	0	1	0	0	0					
1	1	0	0	1	0	0	1	1					
1	1	1	1	0	1	1	1	0					
1	1	1	1	1	1	1	1	1					

4.10. Запишите выводы по проведенным исследованиям

4.11. Ответьте на контрольные вопросы

5. Указания к выполнению отчета

Отчет должен содержать:

1. Тему и цель работы, перечень используемого оборудования, задание и порядок выполнения

2. Таблицу истинности и результаты вычислений

3. Выводы по проведенным исследованиям

4. Ответы на контрольные вопросы

Контрольные вопросы

1. Что такое сумматор ?

2. В чем отличие накапливающих сумматоров от комбинационных?

3. Как классифицируются сумматоры в зависимости от системы счисления?

4. Какой сумматор называется полусумматором? Поясните его работу с помощью таблицы истинности и схемы.

5. Какой сумматор называется одноразрядным полным сумматором? Поясните его работу с помощью таблицы истинности и схемы.

ЛАБОРАТОРНАЯ РАБОТА №4

ИССЛЕДОВАНИЕ РАБОТЫ JK-ТРИГГЕРА

1.Цель работы: Изучение работы универсального JK-триггера

Краткие теоретические сведения

Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала. Способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно длительный промежуток времени, и позволяет применять триггер в качестве элемента памяти.

Состояние триггера определяют по выходному сигналу. В нем может храниться либо 0, либо 1. Обычно триггер наряду с основным прямым выходом Q имеет еще инверсный выход, потенциал которого имеет значение, обратное значению прямого выхода, (если $Q = 1$, то $Q' = 0$). Состоянию триггера 1 соответствует на выходе Q высокий уровень сигнала (1), а на выходе Q' низкий (0). Состоянию триггера 0 соответствует на выходе Q низкий уровень сигнала (0), а на выходе Q' высокий (1).

Триггеры имеют различные типы входов.

R (от английского RESET) - отдельный вход установки в состояние 0;

S (от английского SET) - отдельный вход установки в состояние 1;

K - вход установки универсального триггера в состояние 0;

J - вход установки универсального триггера в состояние 1;

T - счетный вход;

D (от английского DELAY) - информационный вход установки триггера в состояние, соответствующее логическому уровню на этом входе;

C - управляющий (синхронизирующий) вход.

По характеру реакции на входные сигналы триггеры делятся на два типа: асинхронные и синхронные. Асинхронный триггер характеризуется тем, что входные сигналы действуют на состояние триггера непосредственно с момента их подачи на входы, в синхронных триггерах - только при подаче синхронизирующего сигнала на управляющий вход C.

Синхронные триггеры подразделяются на триггеры со статическим и динамическим управлением по входу C. Триггеры со статическим (потенциальным) управлением воспринимают информационные сигналы при подаче на C-вход уровня 1 (прямой C-вход) или 0 (инверсный C-вход).



Рис.1.Статическое (потенциальное) управление

Триггеры с динамическим управлением воспринимают информационные сигналы при изменении сигнала на C-входе от 0 к 1 (прямой динамический C-вход) или от 1 к 0 (инверсный динамический C-вход).

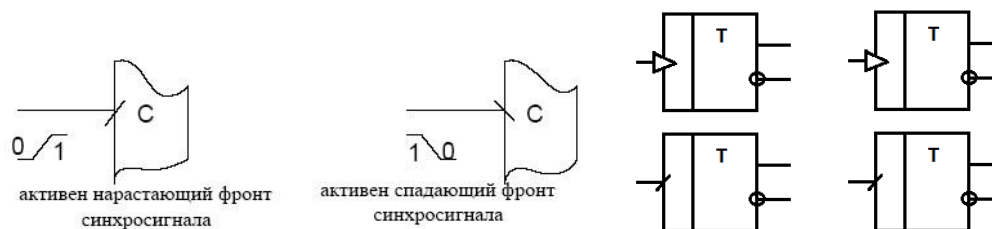


Рис.2. Динамическое управление

По принципу построения триггеры со статическим управлением можно разделить на одноступенчатые и двухступенчатые. Одноступенчатые триггеры характеризуются наличием одной ступени запоминания информации. В двухступенчатых триггерах имеется две ступени запоминания информации. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе.

По функциональным возможностям различаются:

- а) триггер с отдельной установкой состояний 0 и 1 (RS-триггер);
- б) триггер с приемом информации по одному входу D (D-триггер или триггер задержки);
- в) триггер со счетным входом T (T-триггер);
- г) универсальный триггер с информационными входами J и K (JK-триггер).

JK-триггер имеет два информационных входа J и K, предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации С. Условное графическое изображение простейшего JK-триггера приведено на рис.3.

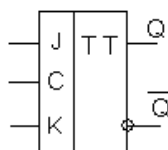


Рис.3. Условное графическое обозначение JK-триггера

Работа JK-триггеров описывается таблицей истинности (табл. 1) и таблицей переходов (табл. 2)

табл.1

J	K	Q_{t+1}	Режим работы
0	0	Q_t	хранение
0	1	0	запись нуля
1	0	1	запись единицы
1	1	$Q_t \setminus$	переключение (счетный режим)

В JK-триггере комбинация J=K=1 приводит к переходу выхода Q триггера в противоположное состояние.

табл.2

J	K	Q	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0

1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S, которые имеют приоритет по отношению к другим входам. На рис. 4 представлен JK-триггер K555ТВ9. При подаче логического нуля на вход S триггер асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

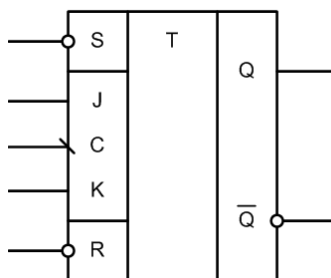


Рис.4. Условное графическое обозначение JK-триггера с асинхронными входами

2. Перечень используемого оборудования

- лабораторная станция NI ELVIS II
- лабораторный модуль dLab8 для исследования работы JK- триггера

3. Задание.

Проанализируйте работу триггера в статическом и динамическом режимах, для чего получите таблицу переходов JK-триггера, подавая на входы соответствующие сигналы, определите, какие комбинации входных сигналов «J» и «K» соответствуют режимам работы JK-триггера; исследуйте влияние установочных входов R и S на работу триггера, определите активный уровень сигналов асинхронного управления триггером, изучите работу JK-триггера в рабочих режимах, по временной диаграмме определите, по какому перепаду тактового импульса на входе «C» происходят переключения JK-триггера.

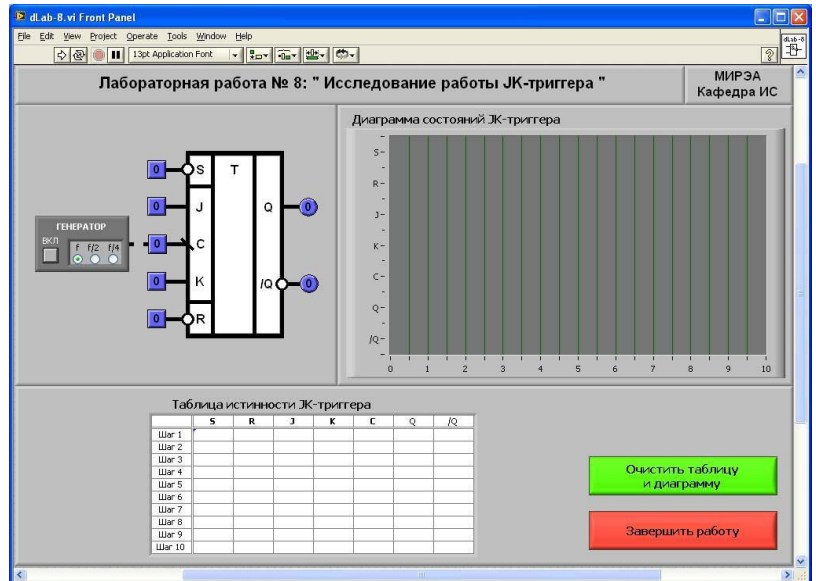
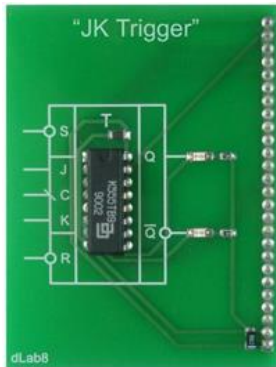
4.Порядок выполнения.

4.1.Исследование JK-триггера в статическом режиме

Статический режим исследования JK-триггера реализуется при подаче на его тактовый вход «C» одиночных импульсов в ручном режиме. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть выключен (кнопка «ВКЛ» отжата). Подача одиночного импульса прямоугольной формы на вход «C» триггера производится однократным нажатием на кнопку квадратной формы, расположенную около этого входа.

4.1.1. Установите лабораторный модуль **dLab8** на макетную плату лабораторной станции NI ELVIS.

4.1.2. Загрузите файл **dLab-8.vi** и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.



4.1.3. Выключите генератор импульсов, если он был включен.

4.1.4. Нажмите на кнопку «Очистить таблицу и диаграмму».

4.1.5. Входы асинхронной установки «S» и асинхронного сброса «R» установите в состояние «1». Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет).

4.1.6. Установите на входах «J» и «K» триггера значения сигналов, приведенные в первой строке табл.3.

табл.3.

Вход J	Вход K
0	0
0	1
1	0
0	0
1	0
0	1
0	0
1	1
1	1
1	1

Таблица истинности

	S	R	J	K	C	Q	/Q
Шаг1							
Шаг2							
Шаг3							
Шаг4							
Шаг5							
Шаг6							
Шаг7							
Шаг8							
Шаг9							
Шаг10							

4.1.7. Нажмите и отпустите кнопку, расположенную около входа «C». На индикаторах круглой формы, расположенных около выходов триггера, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «C» таблицы истинности заносится символ \square , означающий подачу импульса на вход «C». Аналогично занесите информацию остальных строк.

4.1.8. По результатам исследований заполните таблицу переходов JK-триггера (табл.4)

табл. 4

J	K	Q _t	Q _{t+}
0	0	0	1

0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Q_t – состояние триггера до подачи управляющих сигналов;

Q_{t+1} – состояние триггера после подачи управляющих сигналов;

4.1.9. По таблице истинности и таблице переходов определите, какие комбинации входных сигналов «J» и «K» соответствуют режимам работы JK-триггера, и заполните табл.5.

табл. 5

<i>Режим работы</i>	<i>Вход J</i>	<i>Вход K</i>
Хранение информации		
Установка «1»		
Установка «0»		
Переключение		

4.2. Исследование JK-триггера в динамическом режиме

Динамический режим исследования JK-триггера реализуется при подаче на его тактовый вход «С» последовательности импульсов. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть включен (кнопка «ВКЛ» нажата). На выходе генератора формируется последовательность прямоугольных импульсов и подается на вход «С» триггера. Для удобства исследования включайте на время действия небольшого количества импульсов.

4.2.1. Нажмите на кнопку «Очистить таблицу и диаграмму».

4.2.2. Включите генератор импульсов на время действия одного-двух импульсов. На графический индикатор выводится временная диаграмма входных и выходных сигналов JK-триггера. В этом режиме таблица истинности не заполняется, а кнопка «Очистить таблицу и диаграмму» заблокирована от нажатия и имеет затененное изображение.

4.2.3. Изменяя логические состояния входов «S» и «R», изучите работу JK-триггера в режиме «Переключение» при подаче сигналов асинхронной установки «S» и асинхронного сброса «R», используя генератор импульсов. Определите активный уровень сигналов асинхронного управления триггером. Используйте таблицу 6. Полученные временные диаграммы скопируйте в отчет.

табл.6

S	R	J	K	Q	Q \
0	1	1	1		
1	0	1	1		
1	1	1	1		

4.2.4. Определите, какие из входов «J», «K» и «C» влияют на работу триггера (и влияют ли), если на вход «S» или «R» подан активный уровень сигнала асинхронного управления, используя генератор импульсов. Заполните таблицу 7.

табл.7

S	R	J	K	Q	Q\
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	0	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		

Полученные временные диаграммы скопируйте в отчет. Сделайте вывод о работе JK-триггера в режиме асинхронного управления.

4.2.5. Установите входы «S» и «R» в состояние «1». Изменяя логические состояния входов «J» и «K», изучите работу JK-триггера в рабочих режимах, используя генератор импульсов. Сопоставьте наблюдаемые временные диаграммы с таблицей истинности и таблицей переходов JK-триггера.

табл. 8

S	R	J	K	Q	Q\
1	1	1	0		
1	1	0	1		
1	1	0	0		
1	1	1	1		

4.2.6. По временной диаграмме определите, по какому перепаду тактового импульса на входе «С» происходят переключения JK-триггера.

4.2.7. Запишите выводы по проведенным исследованиям.

4.2.8. Ответьте на контрольные вопросы

5. Указания к выполнению отчета

Отчет должен содержать:

- наименование и цель работы.
- перечень используемого оборудования
- таблицы истинности, переходов и временные диаграммы работы триггера в исследуемых режимах
- выводы по проведенным исследованиям
- ответы на контрольные вопросы.

6. Контрольные вопросы

1. Назовите условия задания режимов работы JK-триггера.
2. В чём разница между синхронным и асинхронным триггером?
3. Может ли JK-триггер оказаться в запрещённом состоянии, какому режиму соответствует комбинация $J=K=1$?
4. Почему JK-триггер называется универсальным?

ИССЛЕДОВАНИЕ РАБОТЫ РЕГИСТРА СДВИГА

1.Цель работы: Изучение принципов работы и режимов функционирования регистра сдвига на примере микросхемы К555ИР11

Краткие теоретические сведения

Регистр – функциональный узел последовательностного типа, осуществляющий прием, хранение и выдачу чисел с двоичным представлением цифр разрядов. По способу записи информации регистры подразделяются на параллельные (регистры памяти), последовательные (регистры сдвига) и параллельно-последовательные.

В параллельном регистре запись и выдача слова осуществляется в параллельной форме одновременно во всех разрядах регистра. Его называют регистром хранения или регистром памяти. Эти регистры запоминают входные сигналы только в момент времени, определяемый сигналом синхронизации. В параллельных регистрах для хранения каждого разряда информации предназначен отдельный триггер.

Последовательный регистр характеризуется последовательной записью и выдачей слова, начиная со старшего или младшего разряда. В сдвиговых регистрах при записи многоразрядного числа используется цепочка триггеров, информация о каждом разряде последовательно переходит от одного триггера к другому. В зависимости от направления сдвига различают регистры:

- со сдвигом вправо (в сторону младших разрядов),
- со сдвигом влево (в сторону старших разрядов),
- реверсивные (сдвигающие и вправо и влево).

Параллельно-последовательные регистры входы и выходы как для параллельной, так и для последовательной формы приема и передачи слова. Запись может осуществляться в параллельном коде, а считывание в последовательном или наоборот. Такие регистры называют универсальными. Примером универсального регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рис. 1

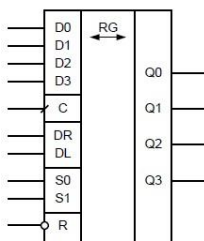


Рис.1 Условное графическое обозначение микросхемы универсального регистра К555ИР11

Регистр К555ИР11 может работать в следующих режимах (табл. 1): сброс, хранение данных, сдвиг влево, сдвиг вправо, и параллельная загрузка. Микросхема имеет входы: тактовый (С), параллельной загрузки (D0 – D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0 – Q3.

Таблица 1

Режим работы	Вход							Выход			
	R	C	S1	S0	DR	DL	Dn	Q0	Q1	Q2	Q3
Сброс	0	×	×	×	×	×	×	0	0	0	0
Хранение	1	×	0	0	×	×	×	q ₀	q ₁	q ₂	q ₃
Сдвиг влево	1	↑	1	0	×	0	×	q ₁	q ₂	q ₃	0
	1	↑	1	0	×	1	×	q ₁	q ₂	q ₃	1
Сдвиг вправо	1	↑	0	1	0	×	×	0	q ₀	q ₁	q ₂
	1	↑	0	1	1	×	×	1	q ₀	q ₁	q ₂
Параллельная загрузка	1	↑	1	1	×	×	d _n	d ₀	d ₁	d ₂	d ₃

Примечания: - символ x обозначает безразличное состояние входа;
- символ ↑ обозначает фронт тактового сигнала.

Синхронная параллельная загрузка осуществляется путем установки напряжения высокого уровня на управляющие входы S0, S1. На объединенные входы-выходы, находящиеся в состоянии высокого импеданса подается четырехразрядное слово, которое по положительному фронту на C записывается в триггеры.

Сдвиг вправо осуществляется синхронно с приходом положительного фронта тактового импульса на C при установке на S0 высокого, а на S1 низкого уровней. В этом режиме данные последовательно считываются с входа DR.

Сдвиг влево осуществляется синхронно с приходом положительного фронта тактового импульса на C при установке на S1 высокого, а на S0 низкого уровней. В этом режиме данные последовательно считываются с входа DL.

Режим хранения реализуется при подаче на оба управляющих входа S0, S1 напряжения низкого уровня.

Сброс выходов в состояние низкого уровня происходит асинхронно при подаче нуля на R.

Области применения сдвиговых регистров весьма разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо – делению пополам. В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно. Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

2. Перечень используемого оборудования

- лабораторная станция NI ELVIS II
- лабораторный модуль dLab11 для исследования работы регистра сдвига

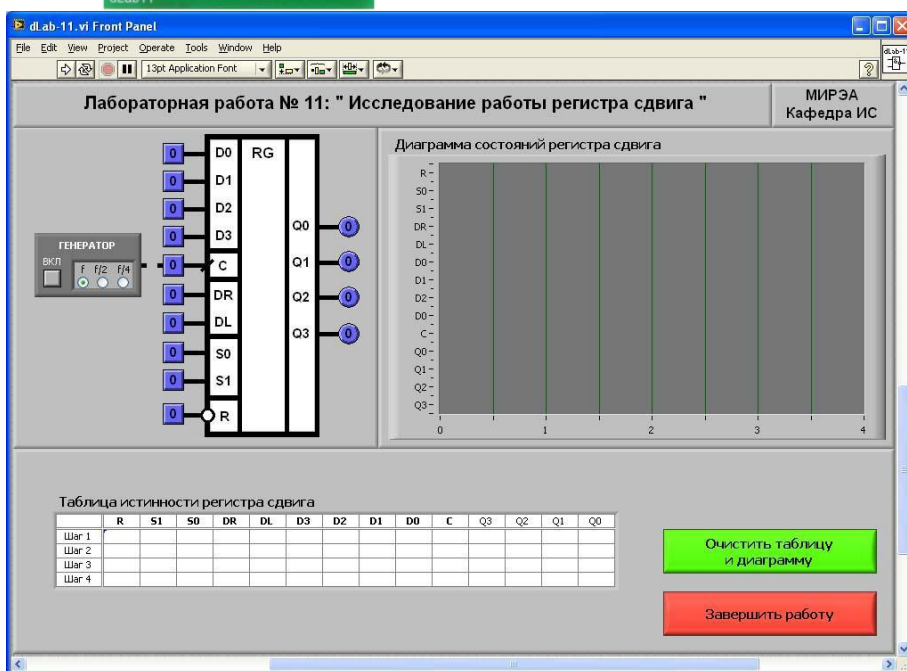
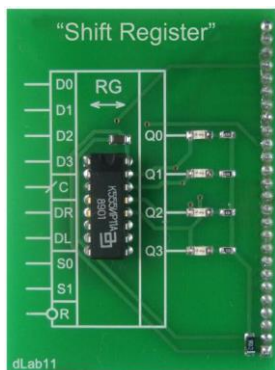
3. Задание.

По таблице истинности и диаграмме состояний проанализируйте работу регистра сдвига, определите условия задания режимов

4.Порядок выполнения.

4.1. Установите лабораторный модуль **dLab11** на макетную плату лабораторной станции NI ELVIS.

4. 2. Загрузите файл **dLab-11.vi** и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.



Режим сдвига вправо

- 4.3. Выключите генератор импульсов, если он был включен.
- 4.4. Нажмите на кнопку «Очистить таблицу и диаграмму».
- 4.5. Установите на входах выбора режима сигналы: $S0=1$, $S1=0$, $R=1$. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа.
- 4.6. Выполните сброс регистра. Для этого на лицевой панели ВП с помощью манипулятора мышь сначала переведите в отжатое, а затем в нажатое состояние кнопку квадратной формы, расположенную около входа «R». На индикаторах выходных сигналов регистра «Q0», «Q1», «Q2» и «Q3» должны установиться нулевые значения.
- 4.7. Установите на входе последовательных данных «DR» логический сигнал «1».
- 4.8. Нажмите и отпустите кнопку, расположенную около входа «C». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «C» таблицы истинности заносится символ \square , означающий подачу импульса на вход «C».
- 4.9. Установите на входе последовательных данных «DR» логический сигнал «0».
- 4.10. Трижды нажмите и отпустите кнопку, расположенную около входа «C».
- 4.11. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет.

4.12. По таблице истинности и диаграмме состояний определите, в каком направлении (от Q0 к Q3 или от Q3 к Q0) смещается логическая единица, записанная в регистр на первом такте. Вывод запишите в отчет.

Режим сдвига влево

4.13. Нажмите на кнопку «Очистить таблицу и диаграмму».

4.14. Установите на входах выбора режима сигналы: S0=0, S1=1, R=1.

4.15. Выполните сброс регистра.

4.16. Установите на входе последовательных данных «DL» логический сигнал «1».

4.17. Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «С» таблицы истинности заносится символ \lrcorner , означающий подачу импульса на вход «С».

4.18. Установите на входе последовательных данных «DL» логический сигнал «0».

4.19. Трижды нажмите и отпустите кнопку, расположенную около входа «С».

4.20. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет.

4.21. По таблице истинности и диаграмме состояний определите, в каком направлении (от Q0 к Q3 или от Q3 к Q0) смещается логическая единица, записанная в регистр на первом такте. Вывод запишите в отчет.

Режим параллельной загрузки

4.22. Нажмите на кнопку «Очистить таблицу и диаграмму».

4.23. Установите на входах выбора режима сигналы: S0= 1, S1=1, R=1.

4.24. Выполните сброс регистра.

4.25. Установите на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в первой строке табл. 2

табл. 2

<i>Вход D3</i>	<i>Вход D2</i>	<i>Вход D1</i>	<i>Вход D0</i>
0	1	0	1
1	1	1	1
0	0	1	0
1	1	0	0

4.26. Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «С» таблицы истинности заносится символ \lrcorner , означающий подачу импульса на вход «С».

4.27. Аналогично занесите информацию остальных строк

4.28. Скопируйте таблицу истинности и диаграмму состояний в отчет.

4.29. По таблице истинности и диаграмме состояний проверьте соответствие выходных сигналов регистра Q0, Q1, Q2 и Q3 сигналам на входах параллельной загрузки D0, D1, D2 и D3. Вывод запишите в отчет.

4.30. Запишите выводы по проведенным исследованиям

4.31. Ответьте на контрольные вопросы

5. Указания к выполнению отчета

Отчет должен содержать:

- наименование и цель работы.
- перечень используемого оборудования
- таблицы истинности и диаграммы состояний работы регистров в режимах сдвига вправо и влево
- таблицу истинности и диаграмму состояний регистра в режиме параллельной загрузки
- выводы по проведенным исследованиям
- ответы на контрольные вопросы.

6.Контрольные вопросы

1. Какие функции выполняют регистры?
2. Перечислите режимы работы микросхемы универсального регистра K555ИР11 и соответствующие им комбинации управляющих входов S1 S0.
3. В чем состоит отличие процедуры занесения информации в режиме параллельной загрузки и режимах сдвига?
4. Какой регистр называется реверсивным?

ЛАБОРАТОРНАЯ РАБОТА №6
ИССЛЕДОВАНИЕ РАБОТЫ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА

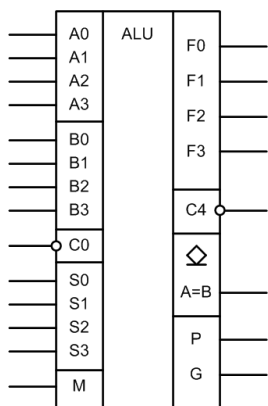
1.Цель работы: Получить практическое представление о функционировании арифметико-логического устройства в различных режимах

Краткие теоретические сведения

Арифметико-логическим устройством (АЛУ) называется комбинационная схема, предназначенная для определения результатов выполнения математических или логических операций над одним или двумя двоичными кодами – операндами. Помимо результата операции АЛУ формирует ряд признаков результата, характеризующих полученный результат и события произошедшие в ходе его получения (знак результата, равенство нулю, четность, перенос). Флаги используются устройством управления для анализа хода выполнения программы и изменения, при необходимости, естественной последовательности выполнения команд.

По своим функциям АЛУ является операционным блоком, выполняющим микрооперации, обеспечивающие прием из других устройств (например, памяти) операндов, их преобразование и выдачу результатов преобразования в другие устройства. Арифметико-логическое устройство управляется управляющим блоком, генерирующим управляющие сигналы, инициирующие выполнение в АЛУ определенных микроопераций. Генерируемая управляющим блоком последовательность сигналов определяется кодом операции команды и оповещающими сигналами.

АЛУ содержит отдельные узлы, выполняющие математические и логические операции. Для получения результата требуемой к текущему моменту времени операции на управляющие входы АЛУ подается соответствующий код, называемый кодом операции. Рассмотрим устройство и работу АЛУ на примере микросхемы К555ИПЗ. К555ИПЗ представляет собой **четырёхразрядное АЛУ, предназначенное для выполнения 16 арифметических и 16 поразрядных логических операций с двумя четырёхразрядными операндами.**



На входы схемы АЛУ подаются следующие сигналы:

A0–A3 и B0–B3- входные операнды

M -выбор режима M

S0–S3-код операции

C0-перенос от предыдущего разряда

На выходах АЛУ формируются следующие сигналы:

F3–F0–результат операций;

A=B–результат сравнения на равенство операндов в режиме выполнения логических операций (выход с открытым коллектором);

C4–перенос в старший разряд АЛУ

G–генерация переноса;

P–распространение переноса

G и P используются для управления схемой ускоренного переноса

Наличию переноса от предыдущего разряда при выполнении арифметических операций соответствует логический нуль на входе С. Наличию переноса в старший разряд АЛУ соответствует уровень логического нуля на выходе С4.

Вход М определяет режим работы АЛУ. Для выполнения арифметических операций на вход М должен быть подан уровень логического нуля. При подаче на вход М логической единицы запрещается выполнение переносов между разрядами и на выходах АЛУ появляются результаты логических операций. Четырёхразрядный код операции подается на входы S0 – S3. В табл. приведен перечень выполняемых АЛУ

арифметических и логических операций в зависимости от входных управляющих сигналов.

2. Перечень используемого оборудования:

- лабораторная станция NI ELVIS II
- лабораторный модуль dLab15 для исследования работы ОЗУ

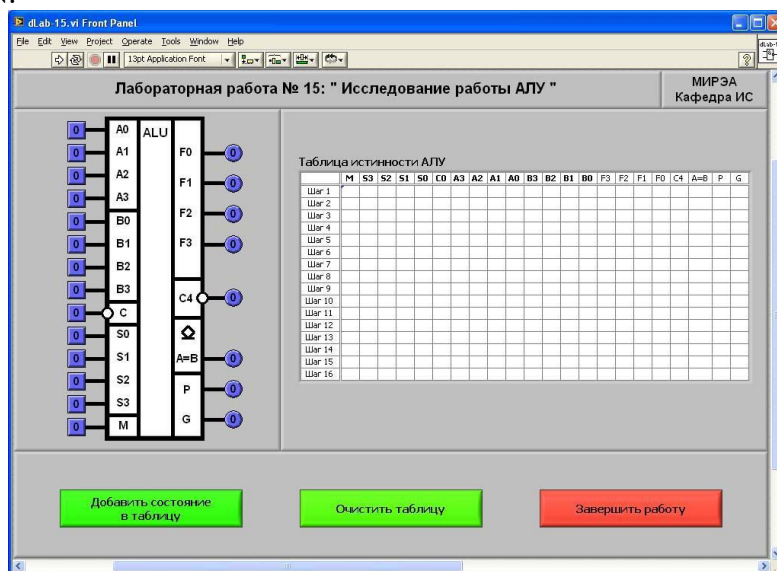
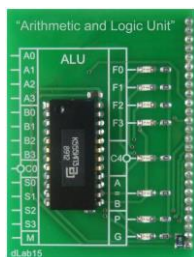
3. Задание: Проанализируйте работу микросхемы АЛУ К555ИП3 в режимах логических и арифметических операций и сравните полученные результаты с расчетами, выполненными вручную, с использованием таблиц функций АЛУ, также определите, при каких операциях и при каких значениях входных сигналов АЛУ становятся активными выходные сигналы:

- «**A=B**» – выход равенства операндов;
- «**P**» – выход распространения переноса;
- «**G**» – выход генерации переноса.

4. Порядок выполнения.

4.1. Установите лабораторный модуль **dLab15** на макетную плату лабораторной станции NI ELVIS.

4.2. Загрузите файл **dLab-15.vi** и запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.



4.3. Работа АЛУ в режиме выполнения логических операций

4.3.1. Нажмите на кнопку «Очистить таблицу».

4.3.2. Установите на входе «М» АЛУ логический сигнал «1» для включения режима выполнения логических операций.

4.3.3. Установите на входе переноса «С0» логический сигнал «0».

4.3.4. Установите на входах операндов сигналы: A0=0, A1=1, A2=1, A3=0 и B0=1, B1=0, B2=0, B3=1.

4.3.5. Установите на входах задания кода операции «S0», «S1», «S2» и «S3», – значения сигналов, приведенные в первой строке табл. 1. На индикаторах круглой формы, расположенных около выходов АЛУ «F0» – «F3», «C4», «A=B», «P» и «G», будет отображено состояние его выходных сигналов.

4.3.6. Занесите логические состояния входов и выходов АЛУ в таблицу истинности. Для этого на лицевой панели ВП нажмите на кнопку «Добавить состояние в таблицу». Аналогично занесите информацию остальных строк состояний входов кодов операций «S0», «S1», «S2» и «S3».

4.3.7. Занесите состояния выходных сигналов в таблицу 1 отчета.

табл. 1

M	A0	A1	A2	A3	B0	B1	B2	B3	S3	S2	S1	S0	F3	F2	F1	F0	A=B	C4	P	G
1	0	1	1	0	1	0	0	1	0	0	0	0								
1	0	1	1	0	1	0	0	1	0	0	0	1								
1	0	1	1	0	1	0	0	1	0	0	1	0								
1	0	1	1	0	1	0	0	1	0	0	1	1								
1	0	1	1	0	1	0	0	1	0	1	0	0								
1	0	1	1	0	1	0	0	1	0	1	0	1								
1	0	1	1	0	1	0	0	1	0	1	1	0								
1	0	1	1	0	1	0	0	1	0	1	1	1								
1	0	1	1	0	1	0	0	1	1	0	0	0								
1	0	1	1	0	1	0	0	1	1	0	0	1								
1	0	1	1	0	1	0	0	1	1	0	1	0								
1	0	1	1	0	1	0	0	1	1	1	0	1								
1	0	1	1	0	1	0	0	1	1	1	0	0								
1	0	1	1	0	1	0	0	1	1	1	1	0								
1	0	1	1	0	1	0	0	1	1	1	1	1								
1	0	1	1	0	1	0	0	1	1	1	1	1								
1	0	1	1	0	1	0	0	1	1	1	1	1								
1	0	1	1	0	1	0	0	1	1	1	1	1								
1	0	1	1	0	1	0	0	1	1	1	1	1								

4.3.7. Скопируйте полученную таблицу истинности в отчет.

4.3.8. Вычислите вручную результаты логических операций над заданными в п.4.3.4 операндами, используя таблицу функций АЛУ (табл. 2), занесите в отчет и сравните с результатами, полученными экспериментально.

табл. 2

Код операции				Арифметические операции (M=0)	Логические операции (M=1)
S3	S2	S1	S0		
0	0	0	0	$F = A + C0$	$F = \bar{A}$
0	0	0	1	$F = (A \vee B) + C0$	$F = \overline{A \vee B}$
0	0	1	0	$F = (A \vee \bar{B}) + C0$	$F = \bar{A} \wedge B$
0	0	1	1	$F = -1 + C0$	$F = 0$
0	1	0	0	$F = A + (A \wedge \bar{B}) + C0$	$F = \overline{A \wedge B}$
0	1	0	1	$F = (A \vee B) + (A \wedge \bar{B}) + C0$	$F = \bar{B}$
0	1	1	0	$F = A + \bar{B} + C0$	$F = A \oplus B$
0	1	1	1	$F = -1 + (A \wedge \bar{B}) + C0$	$F = A \wedge \bar{B}$
1	0	0	0	$F = A + (A \wedge B) + C0$	$F = \bar{A} \vee B$
1	0	0	1	$F = A + B + C0$	$F = \overline{A \oplus B}$
1	0	1	0	$F = (A \vee \bar{B}) + (A \wedge B) + C0$	$F = B$
1	0	1	1	$F = -1 + (A \wedge B) + C0$	$F = A \wedge B$
1	1	0	0	$F = A + A + C0$	$F = 1$
1	1	0	1	$F = (A \vee B) + A + C0$	$F = A \vee \bar{B}$
1	1	1	0	$F = (A \vee \bar{B}) + A + C0$	$F = A \vee B$
1	1	1	1	$F = -1 + A + C0$	$F = A$

4.4. Работа АЛУ в режиме выполнения арифметических операций

4.4.1. Нажмите на кнопку «Очистить таблицу».

4.4.2. Установите на входе «М» АЛУ логический сигнал «0» для включения режима выполнения арифметических операций.

4.4.3. Установите на входе переноса «С0» логический сигнал «0».

4.4.4. Установите на входах операндов сигналы: A0=0, A1=1, A2=1, A3=0 и B0=1, B1=0, B2=0, B3=1.

4.4.5. Установите на входах задания кода операции «S0», «S1», «S2» и «S3» значения сигналов, приведенные в первой строке табл.3. На индикаторах круглой формы, расположенных около выходов АЛУ «F0» – «F3», «C4», «A=B», «P» и «G», будет отображено состояние его выходных сигналов.

4.4.6. Занесите логические состояния входов и выходов АЛУ в таблицу истинности. Для этого на лицевой панели ВП нажмите на кнопку «Добавить состояние в таблицу». Аналогично занесите информацию остальных строк состояний входов кодов операций «S0», «S1», «S2» и «S3».

4.4.7. Занесите состояния выходных сигналов в таблицу 3.

С	М	A0	A1	A2	A3	B0	B1	B2	B3	S3	S2	S1	S0	F3	F2	F1	F0	A=B	C4	P	G
0	0	0	1	1	0	1	0	0	1	0	0	0	0								
0	0	0	1	1	0	1	0	0	1	0	0	0	1								
0	0	0	1	1	0	1	0	0	1	0	0	1	0								
0	0	0	1	1	0	1	0	0	1	0	0	1	1								
0	0	0	1	1	0	1	0	0	1	0	1	0	0								
0	0	0	1	1	0	1	0	0	1	0	1	0	1								
0	0	0	1	1	0	1	0	0	1	0	1	1	0								
0	0	0	1	1	0	1	0	0	1	0	1	1	1								
0	0	0	1	1	0	1	0	0	1	1	0	0	0								
0	0	0	1	1	0	1	0	0	1	1	0	1	0								
0	0	0	1	1	0	1	0	0	1	1	1	0	1								
0	0	0	1	1	0	1	0	0	1	1	1	1	0								
0	0	0	1	1	0	1	0	0	1	1	1	1	1								
0	0	0	1	1	0	1	0	0	1	1	1	1	0								
0	0	0	1	1	0	1	0	0	1	1	1	1	1								

4.4.8. Вычислите результаты арифметических операций над заданными в п.4.4.4 операндами, используя таблицу функций АЛУ (табл. 2), и сравните с результатами, полученными экспериментально. Выводы занесите в отчет.

5. Указания к выполнению отчета

Отчет должен содержать:

- 1.Тему и цель работы, перечень используемого оборудования, задание и порядок выполнения
2. Таблицу истинности и результаты вычислений в режиме выполнения логических операций
- 3.Таблицу истинности и результаты вычислений в режиме выполнения арифметических операций.
4. Таблицу истинности схемы сравнения и переноса
5. Выводы по проведенным исследованиям
6. Ответы на контрольные вопросы

6. Контрольные вопросы

1. Какое устройство называется арифметико-логическим?
2. Какие операции может выполнять АЛУ?
3. Как в исследуемой микросхеме АЛУ задается тип выполняемой операции?
4. Покажите, как определить кодовую комбинацию на выходах F0, F1, F2, F3 исследуемой микросхемы при вычислении функции $F = (A \vee B) + A + C0$, если на входы подаются комбинации

A3	A2	A1	A0	B3	B2	B1	B0
0	0	1	0	1	0	1	1

и на входе переноса C0 активный сигнал.

Список используемой литературы

Печатные издания (электронные) источники:

1. Алексеев, В. А. Информатика. Практические работы : методические указания / В. А. Алексеев. – Санкт-Петербург : Лань, 2020. – 256 с. – ISBN 978-5-8114-4608-7. – Текст : электронный // Лань : электронно-библиотечная система. – URL: <https://e.lanbook.com/book/148244> (дата обращения: 17.12.2020). – Режим доступа: для авториз. пользователей.

2. Галыгина, И. В. Информатика. Лабораторный практикум : учебное пособие для СПО / И. В. Галыгина, Л. В. Галыгина. – Санкт-Петербург : Лань, 2021. – 124 с. – ISBN 978-5-8114-6979-6. – Текст : электронный // Лань : электронно-библиотечная система. – URL: <https://e.lanbook.com/book/153942> (дата обращения: 17.12.2020). – Режим доступа: для авториз. пользователей.

3. Жилко, Е. П. Информатика. Часть 1 : учебное пособие для СПО / Е. П. Жилко, Л. Н. Титова, Э. И. Дямина. — Саратов, Москва : Профобразование, Ай Пи Ар Медиа, 2020. — 182 с. — ISBN 978-5-4488-0873-9, 978-5-4497-0637-9. — Текст : электронный // Электронный ресурс цифровой образовательной среды СПО PROФобразование : [сайт]. — URL: <https://profspo.ru/books/97411>

4. Журавлев, А. Е. Информатика. Практикум в среде Microsoft Office 2016/2019 : учебное пособие для СПО / А. Е. Журавлев. – Санкт-Петербург : Лань, 2020. – 124 с. – ISBN 978-5-8114-5516-4. – Текст : электронный // Лань : электронно-библиотечная система. – URL: <https://e.lanbook.com/book/149339> (дата обращения: 17.12.2020). – Режим доступа: для авториз. пользователей.

5. Информатика : учебное пособие для СПО / составители С. А. Рыбалка, Г. А. Шкатова. — Саратов : Профобразование, 2021. — 171 с. — ISBN 978-5-4488-0925-5. — Текст : электронный // Электронный ресурс цифровой образовательной среды СПО PROФобразование : [сайт]. — URL: <https://profspo.ru/books/99928>

6. Кудинов, Ю. И. Основы современной информатики : учебное пособие для СПО / Ю. И. Кудинов, Ф. Ф. Пашенко. – Санкт-Петербург : Лань, 2020. – 256 с. – ISBN 978-5-8114-5885-1. – Текст : электронный // Лань : электронно-библиотечная система. – URL: <https://e.lanbook.com/book/146635> (дата обращения: 17.12.2020). – Режим доступа: для авториз. пользователей.

7. Кудинов, Ю. И. Практикум по основам современной информатики : учебное пособие для СПО / Ю. И. Кудинов, Ф. Ф. Пашенко, А. Ю. Келина. – Санкт-Петербург : Лань, 2020. – 352 с. – ISBN 978-5-8114-5893-6. – Текст : электронный // Лань : электронно-библиотечная система. – URL: <https://e.lanbook.com/book/146636> (дата обращения: 17.12.2020). – Режим доступа: для авториз. Пользователей.

Дополнительные источники:

1. Келим Ю. М. Вычислительная техника/ Учеб. пособие для студ. СПО. – М.: Издательский центр «Академия», 2018 г.

2. Мышляева И.М., «Цифровая схемотехника» – М.: «Академия», 2018г.

3. Цифровая обработка сигналов. Версия 1.0 [Электронный ресурс] : курс лекций / А. С. Глинченко. – Электрон. дан. (3 Мб). – Красноярск : ИПК СФУ, 2018

4. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники. М.: Издательский дом «Додэка-XXI»; МК-Пресс, 2017г.

5. Захаров Н. Г. Вычислительная техника: учебник / Н. Г. Захаров, Р. А. Сайфутдинов. - Ульяновск: Ул ГТУ, 2017г.

6. Ю.В. Новиков, Скоробогатов Основы микропроцессорной техники. – 3-е изд., испр. – М.: Интернет-Университет информационных технологий; БИНОМ. Лаборатория знаний, 2016г.